

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>7</sup> G11C 16/02	(11) 공개번호 (43) 공개일자	특2000-0035375 2000년06월26일
(21) 출원번호	10-1999-0049655	
(22) 출원일자	1999년11월10일	
(30) 우선권주장	98-319622 1998년11월10일 일본(JP)	
(71) 출원인	소니 가부시끼 가이샤 이데이 노부유키	
(72) 발명자	일본국 도쿄도 시나가와구 키타시나가와 6초메 7반 35고 노부카타히로미	
(74) 대리인	일본국 도쿄도 시나가와구 키타시나가와 6초메 7반 35고 소니 가부시끼 가이샤 내 박종길, 김재만	

심사청구 : 없음

(54) 불휘발성 반도체 기억 장치 및 그 데이터 기입 방법

요약

불휘발성 반도체 기억 장치가 개시되었다. 이 장치는 워드선 및 비트선에서의 인가 전압에 따라 전하 축적부에 축적된 전하량이 변화하고, 그 변화에 따라 스레시홀드 전압이 변화하고, 스레시홀드 전압에 따른 값의 데이터를 기억하는 메모리 셀을 가지고, n비트( $n \geq 2$ )의 다치 데이터를 병렬로 또한 페이지 단위로 메모리 셀에 기입하도록 한다. 이 장치는 기입 동작 시에, 워드선에 펄스형의 워드선 전압을 인가하여 메모리 셀에 데이터의 기입을 행하고, 이 때, 기입 대상인 메모리 셀에 실질적으로 데이터의 기입이 이루어지는 시간에 대응하는 실질적인 워드선 전압의 펄스폭을 기입 데이터에 따라 제어하도록 한 기입 제어 수단을 가진다.

도표

도8

색인

기입 데이터, 비트선 전압, 워드선, 펄스폭, 타이밍.

명세서

도면의 간단한 설명

도 1은 1개의 메모리 셀 트랜지스터에 3비트로 이루어지고 8치를 취하는 데이터를 기억하는 경우의 데이터 내용과 스레시홀드 전압과의 대응 관계 및 기입 시의 이상적인 비트선 전압 및 실제의 비트선 전압의 인가예를 설명하기 위한 약선도.

도 2는 셀프 부스트(self boost)를 사용한 기입 동작을 설명하기 위한 등가 회로도.

도 3은 본 발명이 적용되기 이전의 8치형의 NAND형 플래시 메모리의 주요 부분의 구성을 나타낸 회로도.

도 4는 본 발명이 적용되기 이전의 8치형의 NAND형 플래시 메모리의 기입 동작을 설명하기 위한 타이밍 차트.

도 5는 NAND형 플래시 메모리에 있어서 ISPP를 사용하여 기입을 행한 경우의, 메모리 셀의 스레시홀드 전압 변화의 워드선 전압의 펄스폭 의존성을 나타낸 그래프.

도 6은 본 발명의 원리를 설명하기 위한 약선도(略線圖).

도 7은 본 발명의 한 실시 형태에 의한 8치형(値型)의 NAND형 플래시 메모리의 주요부 구성을 나타낸 회로도.

도 8은 본 발명의 한 실시 형태에 의한 8치형 NAND형 플래시 메모리의 메모리 셀 어레이의 등가(等價) 회로도.

도 9는 본 발명의 한 실시 형태에 의한 8치형 NAND형 플래시 메모리의 기입 동작을 설명하기 위한 타이밍 차트.

도 10은 본 발명의 한 실시 형태에 의한 8치형 NAND형 플래시 메모리의 베리파이 동작을 설명하기 위한 타이밍 차트.

도 11은 본 발명의 한 실시 형태에 의한 8치형 NAND형 플래시 메모리의 통상 독출(讀出) 동작을 설명하기 위한 타이밍 차트.

# <도면의 주요 부분에 대한 부호의 설명>

1: 메모리 셀 어레이, 2: 비트선 전압 발생 회로, 3: 독출/베리파이 제어 회로, A0, A1: 메모리 스트링, WL0~WL15: 워드선, BL0, BL1: 비트선, LQ0~LQ2: 래치 회로, VBL1~VBL3: 비트선 전압 공급 라인.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 불휘발성 반도체 기억 장치 및 그 데이터 기입 방법에 관한 것이며, 특히 1개의 메모리 셀에 2비트 이상의 다치 데이터를 기억하는 다치형 불휘발성 반도체 기억 장치 및 그 데이터 기입에 적용하여 바람직한 것이다.

최근, 각종 기록 장치나 하드 디스크 장치와 비교하여 전기적 특성이 우수한 플래시 메모리(flash memory)가 영상·음성 기기나 휴대용 정보 기기 등에서의 기록 매체로서 보급되고 있다. 플래시 메모리는 전기적 재기입이 가능한 불휘발성 반도체 기억 장치이며, 특별히 그 메모리 셀의 접속 관계 및 구조로부터 NOR형과 NAND형으로 구분된다. 또, 플래시 메모리 등의 불휘발성 반도체 기억 장치에 있어서는, 1개의 메모리 셀에 대하여, '0', '1'의 2개의 값을 취하는 데이터를 기억하는 2치형의 것이 보통이지만, 최근에는 반도체 기억 장치의 대용량화의 요구에 따라, 1개의 메모리 셀에 3치 이상(2비트 이상)의 다치 데이터를 기억하는 이른바 다치형의 불휘발성 반도체 기억 장치가 제안되어 있다.

그와 같은 다치형의 불휘발성 반도체 기억 장치로서는, 예를 들면, 1개의 메모리 셀 트랜지스터에 2비트로 이루어지고, 4치를 취하는 데이터를 기억하는 4치형의 NAND형 플래시 메모리나, 1개의 메모리 셀 트랜지스터에 3비트로 이루어지고, 8치를 취하는 데이터를 기억하는 8치형의 NAND형 플래시 메모리 등이 있다.

도 1에, 8치형의 NAND형 플래시 메모리에 있어서의 메모리 셀 트랜지스터의 스레시홀드 전압  $V_{th}$ 의 분포와 데이터 내용과의 대응 관계를 나타냈다. 도 1에서, 그래프의 종축은 메모리 셀 트랜지스터의 스레시홀드 전압  $V_{th}$ 를 나타내고, 그래프의 횡축은 메모리 셀 트랜지스터의 분포 빈도를 나타낸다.

도 1에 나타난 바와 같이, 8치형의 NAND형 플래시 메모리에 있어서, 메모리 셀 트랜지스터의 스레시홀드 전압  $V_{th}$ 는 '0', '1', '10', '11', '100', '101', '110', '111'의 각 데이터 내용에 대응하는 8상태(분포 7~분포 0)를 취한다. 도 1 중, VVF1, VVF2, VVF3, VVF4, VVF5, VVF6, VVF7은 각 상태에 대응하는 베리파이 동작에서의 독출 시의 선택 워드선 전압을 표시하고, VRD1, VRD2, VRD3, VRD4, VRD5, VRD6, VRD7은 각 상태에 대응하는 통상 독출 동작에서의 선택 워드선 전압을 표시한다. 그 대소 관계는 VVF > VRD7 > VVF6 > VRD6 > VVF5 > VRD5 > VVF4 > VRD4 > VVF3 > VRD3 > VVF2 > VRD2 > VVF1 > VRD1로 되고, 일례를 들면, VVF7 = 3.8V, VRD7 = 3.6V, VVF6 = 3.2V, VRD6 = 3.0V, VVF5 = 2.6V, VRD5 = 2.4V, VVF4 = 2.0V, VRD4 = 1.8V, VVF3 = 1.4V, VRD3 = 1.2V, VVF2 = 0.8V, VRD2 = 0.6V, VVF1 = 0.2V, VRD1 = 0V이다.

그런데, 일반적으로 다치형의 NAND형 플래시 메모리에 있어서는, 메모리 셀에의 데이터 기입 방법으로서, 기입 데이터에 따라 비트선 전압을 변경하여, 다치 데이터를 일괄(병렬)하여 기입하는, 이른바 다치 병렬 기입이 그 기입 동작의 고속화를 도모하는 관점에서 채용된다. 이 8치형의 NAND형 플래시 메모리의 경우, 이상적으로는, 도 1(a)에 나타난 바와 같이, 예를 들면, 기입 데이터가 '0'인 경우의 비트선 전압을 0V로, 기입 데이터가 '1'인 경우의 비트선 전압을 0.6V로, 기입 데이터가 '10'인 경우의 비트선 전압을 1.2V로, 기입 데이터가 '11'인 경우의 비트선 전압을 1.8V로, 기입 데이터가 '100'인 경우의 비트선 전압을 2.4V로, 기입 데이터가 '101'인 경우의 비트선 전압을 3.0V로, 기입 데이터가 '110'인 경우의 비트선 전압을 3.6V로, 기입 데이터가 '111'인 경우의 비트선 전압을 8.0V로 설정하면, 기입 레벨이 상이한 모든 데이터의 기입을 거의 동시에 종료시키는 것이 가능하다.

#### 발명이 이루고자 하는 기술적 과제

그러나, 실제의 NAND형 플래시 메모리의 기입 동작에 있어서는, 성(省)전력화 및 소자 면적의 저감을 도모하는 관점에서, 이른바 셀프 부스트(self boost) 또는 로컬(local) 셀프 부스트라고 하는 수법이 사용된다.

여기에서, 도 2를 참조하여, 셀프 부스트를 사용한 기입 방법에 대하여 설명한다. NAND형 플래시 메모리에 있어서의 메모리 셀은 플로팅 게이트 F6 및 컨트롤 게이트 CG를 가지는 MOS 트랜지스터에 의해 구성되어 있다. 그리고, 이 메모리 셀 트랜지스터가 소정의 복수개 직렬로 접속된 것에 의해 메모리 스트링이 구성되어 있다. NAND형 플래시 메모리의 메모리 셀 어레이에 있어서는, 메모리 스트링이 복수개 병렬로 배치되고, 동일행의 메모리 셀 트랜지스터가 공통의 워드선에 의해 접속되어 있다. 도 2에 나타난 예에서는, 8개가 직렬로 접속된 메모리 셀 트랜지스터  $M_0 \sim M_7$ 에 의해 1개의 메모리 스트링이 구성되어 있다. 메모리 스트링의 일단(메모리 셀 트랜지스터( $M_7$ )의 드레인)은 선택 트랜지스터 DS를 통해 비트선 BL과 접속되고, 메모리 스트링의 타단(메모리 셀 트랜지스터( $M_0$ )의 소스)은 선택 트랜지스터 SS를 통해 소스선 SL과 접속되어 있다. 그리고, 메모리 셀 트랜지스터( $M_0 \sim M_7$ )의 컨트롤 게이트가 각각 워드선(WL0~WL7)과 접속되고, 선택 트랜지스터 DS의 게이트가 드레인측 선택 게이트선 DS6와 접속되고, 선택 트랜지스터 SS의 게이트가 소스측 선택 게이트선 SS6와 접속되어 있다.

셀프 부스트를 사용한 기입 방법에 있어서는, 드레인측 선택 게이트선 DS6의 전압이  $V_{DD}$  레벨로 설정되는 동시에, 소스측 선택 게이트선 SS6의 전압이 GND 레벨로 설정된다. 그리고, 어드레스 디코드 신호에 의해 기입 대상이 되는 메모리 스트링이 선택되면, 선택된 메모리 스트링과 접속된 비트선이 기입 데이터에 따

은 전압  $V_{BL}$ 로 설정되는 동시에, 비선택의 메모리 스트링과 접속된 비트선이 프리차지 레벨(pre-charge level) 그대로 플로팅 상태가 된다. 그 후, 기입 대상 페이지로 된 선택 워드선(도 2에 나타난 예에서는 워드선(WL4))이 소정의 기입 전압  $V_{PGM}$ 으로 설정되는 동시에, 그 이외의 비선택 워드선이 기입 패스 전압  $V_{pass}$  (<  $V_{PGM}$ )로 설정되어, 기입 대상인 메모리 셀 트랜지스터에 데이터의 기입이 이루어진다.

이 때, 기입 데이터가 소거 상태와 동일(즉, 기입 데이터가 '111')한 메모리 셀 트랜지스터의 채널 및 비선택측의 메모리 스트링의 메모리 셀 트랜지스터의 채널은, 그 메모리 스트링 드레인측의 선택 트랜지스터 OS에 의해 대응하는 비트선 BL로부터 분리되어, 워드선(주로 비선택 워드선)과의 용량 결합에 의해 비기입 전위로 부스트된다.

그러나, 셀프 부스트 또는 로컬 셀프 부스트를 사용한 기입 방법에서는 전술한 바와 같이, 드레인측 선택 게이트선 OS가  $V_{th}$  레벨로 설정되기 때문에, 비트선 BL을 통해 메모리 스트링의 메모리 셀 트랜지스터의 채널에 공급할 수 있는 전압은, 메모리 스트링의 드레인측의 선택 트랜지스터 OS에 의해  $V_{th}$  -  $V_{thOS}$  ( $V_{thOS}$ 는 선택 트랜지스터 OS의 스레시홀드 전압)로 제한된다. 따라서, 기입 시에 비트선 BL에 인가할 수 있는 전압의 상한은  $V_{th}$  -  $V_{thOS}$ 로부터 마진을 본 전압, 예를 들면 1.5V가 된다.

또, 다치형의 NAND형 플래시 메모리에 있어서는, 기입 속도의 점에서는, 기입 데이터에 따라 설정되는 비트선 전압이 기입 데이터와 1 대 1로 대응하고 있는 것이 바람직하다. 그러나, 8치형의 NAND형 플래시 메모리에 있어서는, 8치의 래치 회로를 비트선수 본분(本分)의 피치로 수용할 필요가 있기 때문에, 현실적으로는, 기입 데이터가 '00x' (x: 0 또는 1)인 경우의 비트선 전압을 0V, 기입 데이터가 '01x' (x: 0 또는 1)인 경우의 비트선 전압을  $V_{B1}$ , 기입 데이터가 '10x' (x: 0 또는 1)인 경우의 비트선 전압을  $V_{B2}$ , 기입 데이터가 '110'인 경우의 전압을  $V_{B3}$ , 기입 데이터가 '111'인 경우의 비트선 전압을  $V_{th}$  (다만,  $V_{B1}$ ,  $V_{B2}$ ,  $V_{B3}$ 은 0V보다 크고  $V_{th}$ 보다 작은 전압)라고 하는 상태로, 복수의 데이터에 대하여 1개의 비트선 전압을 설정하는 것이 행해지고 있다.

따라서, 이제까지 8치형의 NAND형 플래시 메모리에 있어서는, 실제의 기입 시에는, 예를 들면 도 1 (b)에 나타난 바와 같이, 기입 데이터가 '00x' (x: 0 또는 1)인 경우의 비트선 전압이 0V로, 기입 데이터가 '01x' (x: 0 또는 1)인 경우의 비트선 전압이 1.2V로, 기입 데이터가 '10x' (x: 0 또는 1)인 경우의 비트선 전압이 1.5V로, 기입 데이터가 '110'인 경우의 비트선 전압이 1.5V로, 기입 데이터가 '111'인 경우의 비트선 전압이  $V_{th}$ 로 설정되고, 이에 따라 다치 병렬 기입이 행해지고 있다.

다음에, 도면을 참조하여, 다치 병렬 기입을 행하도록 한 8치형의 NAND형 플래시 메모리의 구성 및 그 기입 동작에 대하여 설명한다.

도 3은 앞서 본원 출원인에 의해 제안되어 있는 8치형의 NAND형 플래시 메모리의 주요부를 나타낸다. 도 3에서, 부호 (101)은 메모리 셀 어레이를 나타내고, 부호 (102)는 비트선 전압 발생 회로를 나타낸다.

도 3에 나타난 바와 같이, 메모리 셀 어레이(101)는, 예를 들면, 플로팅 게이트 FG 및 컨트롤 게이트 CG를 가지며, 각각이 3비트의 메모리 셀로서 기능하는 MOS 트랜지스터(메모리 셀 트랜지스터)가 매트릭스형으로 배치된 것이며, 동일행의 메모리 셀 트랜지스터의 컨트롤 게이트가 공통의 워드선(WL0~WL15)에 접속되어 있다. 그리고, 도 3에서는, 메모리 스트링(A2) 이후가 도시 생략되어 있다.

메모리 스트링은 메모리 트랜지스터가 직렬로 복수개 접속된 것이다. 메모리 스트링(A0)은 메모리 셀 트랜지스터( $M_{0,0} \sim M_{16,0}$ )에 의해 구성되어 있다. 메모리 셀 트랜지스터( $M_{0,0}$ )의 드레인인 선택 트랜지스터(OS0)의 소스와 접속되고, 선택 트랜지스터(OS0)의 드레인인 비트선(BL0)과 접속되어 있다. 한편, 메모리 셀 트랜지스터( $M_{0,0}$ )의 소스가 선택 트랜지스터(SS0)의 드레인과 접속되고, 선택 트랜지스터(SS0)의 소스가 소스선 SL과 접속되어 있다. 또, 메모리 셀 트랜지스터( $M_{0,0} \sim M_{16,0}$ )의 컨트롤 게이트가, 각각 워드선(WL0~WL15)과 접속되어 있다. 마찬가지로, 메모리 스트링(A1)은 메모리 셀 트랜지스터( $M_{0,1} \sim M_{16,1}$ )에 의해 구성되어 있다. 메모리 셀 트랜지스터( $M_{0,1}$ )의 드레인인 선택 트랜지스터(OS1)의 소스와 접속되고, 선택 트랜지스터(OS1)의 드레인인 비트선(BL1)과 접속되어 있다. 한편, 메모리 셀 트랜지스터( $M_{0,1}$ )의 소스가 선택 트랜지스터(SS1)의 드레인과 접속되고, 선택 트랜지스터(SS1)의 소스가 소스선 SL과 접속되어 있다. 또, 메모리 셀 트랜지스터( $M_{0,1} \sim M_{16,1}$ )의 컨트롤 게이트가 각각 워드선(WL0~WL15)과 접속되어 있다.

이와 같이 메모리 스트링(A0, A1)과 각 선이 접속되고, 다른 메모리 스트링(A2~An)에 관해서도 동일한 접속 관계로 되어 있다. 따라서, 메모리 스트링(A0~An)의 일단은, 선택 트랜지스터(OS0~OSn)를 통해 비트선(BL0~BLn)과 접속되고, 메모리 스트링(A0~An)의 타단은, 선택 트랜지스터(SS0~SSn)를 통해 소스선 SL과 접속되어 있다. 그리고, 선택 트랜지스터(OS0~OSn)의 게이트가 공통의 드레인측 선택 게이트선 OS과 접속되고, 선택 트랜지스터(SS0~SSn)의 게이트가 공통의 소스측 선택 게이트선 SS와 접속되어 있다. 메모리 셀 어레이(10)에 있어서는, 전술한 바와 같은 메모리 스트링(A0~An)이 병렬로 배치되어 있다.

비트선(BL0 및 BL1)에 대응하여 배설되어 있는 비트선 전압 발생 회로(102)는 n채널 MOS 트랜지스터로 이루어지는 트랜지스터(N101~N111), 인버터의 입출력끼리 결합하여 이루어지는 래치 회로(LQ2, LQ1, LQ0) 및 p채널 MOS 트랜지스터로 이루어지는 트랜지스터(P101)에 의해 구성되어 있다. 또, 비트선 전압 발생 회로(102)로부터는, 소정의 정(定)전압원과 접속된 비트선 전압 공급 라인( $V_{BL1}$ ,  $V_{BL2}$ ,  $V_{BL3}$ )이 도출되어 있다. 이 NAND형 플래시 메모리에 있어서는, 래치 회로(LQ2~LQ0)를 포함하는 1개의 비트선 전압 발생 회로(102)에 대하여 2개의 비트선이 선택적으로 접속되는 구성(비트선 shared)을 채택하고 있다. 그 관련 설명은 설명을 간단히 하기 위해 생략한다.

비트선 전압 발생 회로(102)에 의해, 기입 시에, 기입 데이터에 따른 비트선 전압이 발생되고, 이 비트선

전압이 비트선(BL0, BL1)을 통해 메모리 셀 어레이(101)의 메모리 셀 트랜지스터의 채널에 주어진단.

비트선(BL0)과 노드 SA와 사이에는, 고내압의 n채널 MOS 트랜지스터로 이루어지는 트랜지스터(HN101 및 HN103)가 직렬로 접속되어 있다. 또, 비트선(BL1)과 노드 SA와 사이에는, 고내압의 n채널 MOS 트랜지스터로 이루어지는 트랜지스터(HN102 및 HN104)가 직렬로 접속되어 있다. 트랜지스터(HN101, HN102)의 게이트에 공통의 제어 신호 TRN이 공급된다. 트랜지스터(HN103)의 게이트에 어드레스 디코드 신호 AIB가 공급되고, 트랜지스터(HN104)의 게이트에 어드레스 디코드 신호 AIN이 공급된다.

비트선 전압 발생 회로(102)에 있어서는, 노드 SA와 전원 전압  $V_{DD}$  ( $V_{DD}$ 는 예를 들면 3.3V)의 공급 라인과 사이에는 트랜지스터(P101)가 접속되어 있다. 트랜지스터(P101)의 게이트에는 제어 신호 Vref가 공급된다. 또, 노드 SA와 접지 라인과 사이에는 트랜지스터(N101)가 접속되어 있다. 트랜지스터(N101)의 게이트에는 제어 신호 DIS가 공급된다.

또, 비트선 전압 발생 회로(102)에 있어서는, 트랜지스터(N102)의 드레인이 노드 SA와 접속되어 있다. 트랜지스터(N102)의 소스가 트랜지스터(N103, N105, N107, N109)의 드레인과 접속되어 있다. 트랜지스터(N102)의 게이트에는 제어 신호 PGM이 공급된다.

트랜지스터(N102)의 소스와 접지 라인과 사이에 트랜지스터(N103, N104)가 직렬로 접속되어 있다. 트랜지스터(N102)의 소스와 비트선 전압 공급 라인(VBL1)과의 사이에 트랜지스터(N105, N106)가 직렬로 접속되어 있다. 트랜지스터(N102)의 소스와 비트선 전압 공급 라인(VBL2)과의 사이에 트랜지스터(N107, N108)가 직렬로 접속되어 있다. 트랜지스터(N102)의 소스와 비트선 전압 공급 라인(VBL3)과의 사이에 트랜지스터(N109, N110, N111)가 직렬로 접속되어 있다.

래치 회로(LQ2, LQ1, LQ0)는 각각 기억 노드(Q2, Q1, Q0)와, 그 반전 기억 노드( $\overline{Q2}$ ,  $\overline{Q1}$ ,  $\overline{Q0}$ )를 가지고 있다. 그리고, ( / )는 반전을 나타내는 바를 의미하고 있다.

래치 회로(LQ2)의 반전 기억 노드( $\overline{Q2}$ )는 트랜지스터(N104, N106)의 게이트와 접속되고, 기억 노드(Q2)는 트랜지스터(N107, N109)의 게이트와 접속되어 있다. 래치 회로(LQ1)의 반전 기억 노드( $\overline{Q1}$ )는 트랜지스터(N103, N108)의 게이트와 접속되고, 기억 노드(Q1)는 트랜지스터(N105, N110)의 게이트와 접속되어 있다. 래치 회로(LQ0)의 반전 기억 노드( $\overline{Q0}$ )는 트랜지스터(N111)의 게이트와 접속되어 있다.

다음에, 이 8치형의 NAND형 플래시 메모리의 기입 동작에 대하여, 도 4의 타이밍 차트를 참조하여 설명한다.

기입 동작 전에는, 제어 신호 PGM이 로 레벨(GND 레벨)로 설정되어 트랜지스터(N102)가 오프되고, 비트선(BL0, BL1)과 기입 제어 회로(102)가 분리되어 있다. 그리고, 제어 신호 DIS가 하이 레벨( $V_{DD}$  레벨)로, 제어 신호 TRN 및 어드레스 디코드 신호 AIB, AIN이 ( $V_{DD}-V_{th}$ ) 레벨로 설정되어 있다. 이 때, 트랜지스터(HN101, HN102, HN103, HN104) 및 트랜지스터(N101)가 온되어 있음에 따라, 전 비트선은 접지되어 있다. 또, 비트선 전압 공급 라인(VBL1)은 전압(VB1)으로, 비트선 전압 공급 라인(VBL2)은 전압(VB2)으로, 비트선 전압 공급 라인(VBL3)은 전압(VB3)으로 설정되어 있다. 이들 전압(VB1, VB2, VB3)은 0V보다 크고  $V_{DD}$ 보다 작은 전압이며, 일례를 들면 전압(VB1) = 1.2V, 전압(VB2) = 1.5V, 전압(VB3) = 1.5V이다.

이 상태에서 기입이 기동(起動)된 경우에는, 기입 데이터가 데이터 버스를 통해 비트선 전압 발생 회로(102)의 래치 회로(LQ2, LQ1, LQ0)에 공급되며, 그리고 그 기입 데이터가 래치 회로(LQ2, LQ1, LQ0)에 수용되어 유지된다. 그 후, 제어 신호 DIS가 로 레벨로 전환되어, 비트선(BL0, BL1)이 접지 라인과 분리된다. 그리고, 제어 신호 TRN 및 어드레스 디코드 신호 AIB, AIN이  $V_{DD}$  이상의 소정 하이 레벨, 예를 들면 5V(독출 시의 버스 전압으로 5~6V 정도의 전압) 레벨로 설정되는 동시에, 제어 신호 Vref가 로 레벨(GND 레벨)로 설정된다. 이에 따라, 전 비트선이  $V_{DD}$ 에 충전된다. 또, 메모리 셀 어레이(101)의 드레인 측 선택 게이트선 DS6가  $V_{DD}$  레벨로, 소스측 선택 게이트선 SS6가 GND 레벨로 설정된다. 메모리 스트링(A0)의 메모리 셀 트랜지스터의 채널(CH0) 및 메모리 스트링(A1)의 메모리 셀 트랜지스터의 채널(CH1)은, ( $V_{DD}-V_{thDS6}$ )에 충전된다.  $V_{thDS6}$ 는 선택 트랜지스터(DS0, DS1)의 스레시홀드 전압이다.

그 후, 어드레스 디코드 신호 AIB, AIN으로 기입 대상이 되는 메모리 스트링이 선택된다. 여기에서는, 예를 들면, 메모리 스트링(A0)이 기입 대상으로서 선택되어 있는 경우에 대하여 설명한다. 이 경우, 제어 신호 Vref가 비트선(BL0) 등의 리크 전류를 보상하는 만큼의 전류를 트랜지스터(P101)가 흐르게 하는 것이 가능한 소정 레벨의 전압(예를 들면 2V)으로 설정된다. 또, 어드레스 디코드 신호 AIN이 로 레벨(GND 레벨)로 설정되고, 트랜지스터(HN104)가 오프 상태로 전환되어, 비선택측의 비트선(BL1)이  $V_{DD}$ 에 충전된 상태에서 플로팅 상태로 유지되며, 메모리 스트링(A1)의 메모리 셀 트랜지스터의 채널(CH1)이 ( $V_{DD}-V_{thDS6}$ )로 유지된다.

그리고, 일정 시간 경과 후, 제어 신호 PGM이 하이 레벨로 설정되어 트랜지스터(N102)가 온으로 전환된다. 이에 따라, 선택 비트선(BL0)과 비트선 전압 발생 회로(102)가 접속되어, 선택 비트선(BL0)이 기입 데이터에 따른 전압으로 설정된다.

기입 데이터가 '00x'(x: 0 또는 1)인 경우에는, 트랜지스터(N103, N104)가 온되어, 도 3에서 PATH1로 나타나는 전류로가 형성되고, 비트선(BL0)은 접지 라인과 접속된다. 따라서, 비트선(BL0) 및 메모리 스트링(A0)의 메모리 셀 트랜지스터의 채널(CH0)은 GND 레벨로 방전된다.

기입 데이터가 '01x'(x: 0 또는 1)인 경우에는, 트랜지스터(N105, N106)이 온되어, 도 3에서 PATH2로 나타나는 전류로가 형성되고, 비트선(BL0)은 비트선 전압 공급 라인(VBL1)과 접속된다. 따라서, 비트선(BL0) 및 메모리 스트링(A0)의 메모리 셀 트랜지스터의 채널(CH0)은 전압(VB1)(= 1.2V)으로 방전된다.

기입 데이터가 '10x'(x: 0 또는 1)인 경우에는, 트랜지스터(N107, N108)가 온되어, 도 3에서 PATH3으로 나타나는 전류로가 형성되고, 비트선(BL0)은 비트선 전압 공급 라인(VBL2)과 접속된다. 따라서,

비트선(BL0) 및 메모리 스트링(A0)의 메모리 셀 트랜지스터의 채널(CH0)은 전압(VB2)(= 1.5V)으로 방전된다.

가입 데이터가 '110'(x: 0 또는 1)인 경우에는, 트랜지스터(N109, N110, N111)가 온되며, 도 3에서 PATH4로 나타나는 전류로가 형성되고, 비트선(BL0)은 비트선 전압 공급 라인(VBL3)과 접속된다. 따라서, 비트선(BL0) 및 메모리 스트링(A0)의 메모리 셀 트랜지스터의 채널(CH0)은 전압(VB3)(= 1.5V)으로 방전된다.

그리고, 가입 데이터가 '111'인 경우에는, 전류로가 형성되지 않고, 비트선(BL0)은 접지 라인 및 비트선 공급 라인(VBL1~VBL3)의 어느 것에도 접속되지 않는다. 따라서, 비트선(BL0)은  $V_{DD}$ 에 충전된 상태에서 플로팅 상태로 되고, 메모리 스트링(A0)의 메모리 셀 트랜지스터의 채널(CH0)은  $V_{DD}-V_{thDSG}$ 로 유지된다.

전술한 바와 같이 선택된 메모리 스트링(A0)과 접속되어 있는 선택 트선(BL0)이 가입 데이터에 따른 전압으로 설정된 후, 워드선(WL0~WL15) 중, 가입 대상 페이지가 되는 선택 워드선이 가입 전압  $V_{PGM}$ 으로 설정되는 동시에, 그 이외의 비선택 워드선이 가입 패스 전압  $V_{pass}$ ( $< V_{PGM}$ )로 설정되며, 소정의 메모리 셀 트랜지스터에 대하여 가입이 이루어진다.

이 때, 가입 데이터가 '111' 이외의 메모리 셀 트랜지스터에서는, 선택 워드선에 인가된 워드선 전압(가입 전압  $V_{PGM}$ )과 메모리 셀 트랜지스터의 채널 전압과의 전계에 의해 파울러노드하임 터널링(Fowler-Nordheim Tunneling: 이후 FN 터널링이라고 함) 현상이 일어나, 데이터의 가입이 이루어진다. 또, 가입 데이터가 '111'인 메모리 셀 트랜지스터의 채널 및 비선택 워드선의 메모리 스트링(A1)의 메모리 셀 트랜지스터의 채널(CH1)은, 드레인측의 선택 트랜지스터(DS0, DS1)에 의해 비트선(BL0, BL1)으로부터 분리되며, 워드선과의 용량 결합에 의해 비가입 전위로 부스트되고, 이들 메모리 셀 트랜지스터에는 데이터의 가입이 이루어지지 않도록 되어 있다.

전술한 바와 같이 구성된 8차형의 NAND형 플래시 메모리에서는, 가입 레벨이 상이한 가입 데이터가 병렬로 가입되기 때문에, 각 레벨의 가입 데이터를 스텝마다 가입하는 경우와 비교하여 가입 시간이 단축된다고 하는 이점이 있다.

그런데, 통상 NAND형 플래시 메모리에서는, 가입 동작 시에 선택 워드선에 대하여 소정의 펄스폭을 가지는 펄스형의 워드선 전압(가입 펄스)을 인가하고, 이 가입 사이클을 반복 행함으로써, 메모리 셀에 대하여 데이터를 잘게 썰어 분할 가입하는 것이 행해지고 있다. 이와 같은 가입을 행하는 경우에는, 가입 회수의 삭감을 도모하는 관점에서, 가입 개시 시의 워드선 전압을 소정의 초기 전압으로 설정하고, 서서히 소정의 스텝 폭으로 단계적으로 워드선 전압을 증가시키면서 가입을 차례로 행하는 ISPP(Incremental Step Pulse Programming)라고 하는 방법이 사용된다.

그러나, 전술한 8차형의 NAND형 플래시 메모리에 있어서, 다차 병렬 가입을 행하는 경우에는, 이상적인 비트선 전압과 실제의 비트선 전압과의 차가 가장 크다. 가입 데이터가 '110'인 메모리 셀 트랜지스터가 과입 가입이 되지 않도록, 가입 개시 시의 워드선 전압을, 이 가입 데이터가 '110'인 메모리 셀 중 가입 속도가 가장 빠른 메모리 셀이 1회째의 가입으로 바로 가입 레벨에 달하는 전압으로 설정할 필요가 있다. 이 경우, 워드선 전압의 초기치가 이상적인 전압보다도 가입 데이터가 '110'인 경우의 이상적인 비트선 전압과 실제의 비트선 전압과의 차분만큼 낮은 전압으로 설정된 상태에서부터 가입이 개시되기 때문에, 데이터 '110'보다도 가입 레벨이 깊은 데이터가 가입되는 메모리 셀에서는, 가입 개시 시의 전계가 이상적인 경우와 비교하여 낮게 설정되게 되는(현상에서는, ISPP의 개시 시의 전압을, 예를 들면 15V로 하고 있다. 이 때, 가입 데이터가 '110'인 경우의 비트선 전압의 이상치와 실제의 값과의 차는  $3.6-1.5=2.1V$ 이다. 이 경우, 이상적인 ISPP의 개시 시의 전압은 대략 17V이다). 그 결과, 가입 회수가 늘어나 토털 가입 시간이 길어진다고 하는 문제점이 발생한다.

따라서, 본 발명의 목적은 비트선 전압을 가입 데이터에 따라 변경하여 다차 병렬 가입을 행하는 경우에, 가입 시간을 단축할 수 있는 불휘발성 반도체 기억 장치 및 그 데이터 가입 방법을 제공하는 것에 있다.

#### 발명의 구성 및 작용

상기 목적을 달성하기 위해, 본 발명의 제1 발명은,

워드선 및 비트선에의 인가 전압에 따라 전하 축적부에 축적된 전하량이 변화하고, 그 변화에 따라 스레시홀드 전압이 변화하고, 스레시홀드 전압에 따른 값의 데이터를 기억하는 메모리 셀을 가지고, n비트( $n \geq 2$ )의 다차 데이터를 병렬로 또한 페이지 단위로 메모리 셀에 가입하도록 한 불휘발성 반도체 기억 장치로서,

가입 동작 시에, 워드선에 펄스형의 워드선 전압을 인가하여 메모리 셀에 데이터의 가입을 행하고, 이 때, 가입 대상인 메모리 셀에 실질적으로 데이터의 가입이 이루어지는 시간에 대응하는 실질적인 워드선 전압의 펄스폭을 가입 데이터에 따라 제어하도록 한 가입 제어 수단을 가지는

것을 특징으로 하는 것이다.

본 발명의 제2 발명은,

워드선 및 비트선에의 인가 전압에 따라 전하 축적부에 축적된 전하량이 변화하고, 그 변화에 따라 스레시홀드 전압이 변화하고, 스레시홀드 전압에 따른 값의 데이터를 기억하는 메모리 셀을 가지고, n비트( $n \geq 2$ )의 다차 데이터를 병렬로 또한 페이지 단위로 메모리 셀에 가입하도록 한 불휘발성 반도체 기억 장치의 데이터 가입 방법으로서,

가입 동작 시에, 워드선에 펄스형의 워드선 전압을 인가하여 메모리 셀에 데이터의 가입을 행하고, 이 때, 가입 대상인 메모리 셀에 실질적으로 데이터의 가입이 이루어지는 시간에 대응하는 실질적인 워드선 전압의 펄스폭을 가입 데이터에 따라 제어하도록 한

것을 특징으로 하는 것이다.

본 발명에 있어서, 불휘발성 반도체 기억 장치는, 전형적으로는, NAND형 플래시 메모리이며, 메모리 셀은 플로팅 게이트 및 컨트롤 게이트를 가지는 MOS 트랜지스터로 이루어진다.

본 발명에 있어서, 불휘발성 반도체 기억 장치는, 바람직하게는, 메모리 셀이 복수개 접속되고, 그 일단 및 타단이 게이트 전압에 따라 도통 상태가 제어되는 선택 트랜지스터를 통해 비트선 및 소스선에 접속된 메모리 스트림이 병렬로 배치되어 있는 동시에, 동일 행의 메모리 셀의 제어 게이트가 공통의 워드선에 의해 접속된 것이다. 이 경우, 기입 동작 시에는, 셀프 부스트 또는 로컬 셀프 부스터를 사용하여 n비트( $n \geq 2$ )의 다치 데이터를 병렬로 또한 페이지 단위로 메모리 셀에 기입하도록 한다.

다음에, 본 발명의 원리에 대하여 설명한다.

도 5는, 참고 문헌(Symp. on VLSI Circuits, Digest of Technical Papers, p.168, (1996))에 나타나 있다. NAND형 플래시 메모리에 있어서, ISPP를 사용하여 기입을 행한 경우의, 메모리 셀의 스레시홀드 전압 변화의 워드선 전압(기입 펄스)의 펄스 폭 의존성을 나타내는 그래프이다. 도 5에서, 횡축은 기입 회수를 표시하고, 종축은 메모리 셀의 스레시홀드 전압  $V_{th}(V)$ 를 표시한다. 도 5에서는, 워드선 전압의 펄스폭을 2 $\mu s$ , 5 $\mu s$ , 10 $\mu s$ , 20 $\mu s$ , 50 $\mu s$ 로 한 경우의 스레시홀드 전압  $V_{th}$ 의 실험치가 검은 원으로 나타나고, 계산치가 실선으로 나타나 있다. 그리고, 어느 경우에도, 워드선 전압의 초기치는 14.5V이며, 1회의 기입 응하고 있다.

도 5로부터, NAND형 플래시 메모리의 기입 동작에 있어서, 펄스형 워드선 전압의 초기치 및 스텝폭을 동일 조건으로 하고, 펄스폭만 변화시킨 경우, 최초 수회의 기입 사이클에서는, 워드선 전압의 펄스폭이 긴 쪽이 메모리 셀의 스레시홀드 전압  $V_{th}$ 의 시프트(shift)량(상승량)이 크고, 그 이후의 기입 사이클에서는, 워드선 전압의 펄스폭에 관계없이, 워드선 전압의 스텝폭에 대략 동일한 양만큼 메모리 셀의 스레시홀드 전압  $V_{th}$ 가 시프트(상승)하는 것을 알 수 있다. 이는 메모리 셀에서의 기입 시의 전계가 동일해도, 워드선 전압의 펄스폭을 짧게(워드선 전압의 인가 시간을 짧게) 설정한 쪽이, 메모리 셀의 스레시홀드 전압  $V_{th}$ 의 시프트를 지연시킬 수 있는 것을 의미하고 있다. 즉, 워드선 전압의 펄스폭을 짧게 설정하여 기입을 행한다고 하는 것은, 실질적으로 워드선 전압이 실제의 전압보다 높은 상태에서 기입을 행하는 것과 동가(等價)이다.

여기에서, 8차형의 NAND형 플래시 메모리에 있어서, 기입 데이터에 따라 워드선 전압의 펄스폭을 제어하여, 다치 병렬 기입을 행하는 경우에 대하여 설명한다.

8차형의 NAND형 플래시 메모리의 경우, 메모리 셀 트랜지스터의 스레시홀드 전압  $V_{th}$ 는, 도 6에 나타난 바와 같이, '0', '1', '10', '11', '100', '101', '110', '111'의 각 데이터 내용에 대응하는 8상태(분포 7~분포 0)를 취한다. 도 6 중,  $V_{VF1} \sim V_{VF7}$  및  $V_{RD1} \sim V_{RD7}$ 는 각 상태에 대응하는 베리파이 동작 시 및 통상 독출 시의 선택 워드선 전압(다만,  $V_{VF7} > V_{RD7} > V_{VF6} > V_{RD6} > V_{VF5} > V_{RD5} > V_{VF4} > V_{RD4} > V_{VF3} > V_{RD3} > V_{VF2} > V_{RD2} > V_{VF1} > V_{RD1}$ )이며, 일례를 들면,  $V_{VF}=3.8V$ ,  $V_{RD7}=3.6V$ ,  $V_{VF6}=3.2V$ ,  $V_{RD6}=3.0V$ ,  $V_{VF5}=2.6V$ ,  $V_{RD5}=2.4V$ ,  $V_{VF4}=2.0V$ ,  $V_{RD4}=1.8V$ ,  $V_{VF3}=1.4V$ ,  $V_{RD3}=1.2V$ ,  $V_{VF2}=0.8V$ ,  $V_{RD2}=0.6V$ ,  $V_{VF1}=0.2V$ ,  $V_{RD1}=0V$ 이다.

이 8차형의 NAND형 플래시 메모리에 있어서는, 셀프 부스트 또는 로컬 셀프 부스터를 고려하지 않으면, 이상적인 기입 시의 비트선 전압은, 예를 들면, 도 6 (a)에 나타난 바와 같이, 기입 데이터가 '0'인 경우 0V, 기입 데이터가 '1'인 경우 0.6V, 기입 데이터가 '10'인 경우 1.2V, 기입 데이터가 '11'인 경우 1.8V, 기입 데이터가 '100'인 경우 2.4V, 기입 데이터가 '101'인 경우 3.0V, 기입 데이터가 '110'인 경우 3.6V, 기입 데이터가 '111'인 경우 8V이다.

실제로는, 이 8차형의 NAND형 플래시 메모리의 기입 동작은 기입 금지 메모리 셀의 채널을 비트선으로부터 분리하여, 워드선과의 용량 결합에 의해 비기입 전위로 부스트하는, 이른바 셀프 부스트 또는 로컬 셀프 부스트가 사용된다. 이 경우, 실제 기입 시의 비트선 전압은, 예를 들면 도 6 (b)에 나타난 바와 같이, 기입 데이터가 '00x'(x: 0 또는 1)인 경우 0V, 기입 데이터가 '01x'(x: 0 또는 1)인 경우 1.2V, 기입 데이터가 '10x'(x: 0 또는 1)인 경우 1.5V, 기입 데이터가 '110'인 경우 1.5V, 기입 데이터가 '111'인 경우  $V_{DD}$ 로 설정된다.

또, 전술한 8차형의 NAND형 플래시 메모리에 있어서는, 기입 레벨이 얇은 데이터 '110'이나 데이터 '10xx'(x: 0 또는 1)를 기입하는 경우의 워드선 전압의 펄스폭을, 그보다도 기입 레벨이 깊은 데이터 '0xx'(x: 0 또는 1)를 기입하는 경우의 워드선 전압의 펄스폭보다 짧게 설정하면, 데이터 '110'나 데이터 '10x'(x: 0 또는 1)를 기입하는 경우의 비트선 전압이 실제의 전압보다 높은 상태로 설정되어 있는 것과 동가(等價) 되고, 그 결과, ISPP를 사용한 기입에서, 기입 개시 시의 워드선 전압을 높게 설정하는 것이 가능하게 된다.

또, 전술한 8차형의 NAND형 플래시 메모리에 있어서는, 메모리 셀에 데이터를 기입하는 경우에는, 기입 레벨이 얇은 데이터가 기입되는 메모리 셀만큼, 소거 상태에서부터 기입 종료로 판정될 때까지의 스레시홀드 전압의 시프트량이 작기 때문에, 기입이 빨리 종료된다. 따라서, 기입 레벨이 얇은 데이터가 기입되는 메모리 셀에 대해서는, 워드선 전압의 펄스폭을 짧게 설정하여 기입을 행하여도, 그 펄스폭을 적절히 선택하면, 토털 기입 시간을 증가시키는 일은 없다.

따라서, 기입 시간을 단축하는 데는, 기입 레벨이 얇은 데이터를 기입하는 경우만큼, 워드선 전압의 펄스폭을 짧게 설정하는 것이 바람직하다고 할 수 있다.

그런데, NAND형 플래시 메모리에 있어서는, 통상 선택 워드선에 소정의 펄스폭 워드선 전압을 인가하여, 페이지 단위로 메모리 셀에 데이터의 기입을 행하도록 하고 있다. 따라서, 실제로 선택 워드선에 인가하는 워드선 전압보다 펄스폭이 짧은 펄스에 의해, 메모리 셀에 데이터의 기입을 행하는 경우에는, 선택 워드선에 워드선 전압이 인가되더라도, 일정 기간은 메모리 셀에 대하여 데이터의 기입이 이루어지지 않도록 할

필요가 있다. 이와 같은 경우에는, 다음에 나타내는 바와 같은 스텝에서 제어를 행하여, 메모리 셀에 실제로 데이터의 기입이 이루어지는 시간, 즉 실효적인 워드선 전압의 펄스폭을, 실제로 선택 워드선에 인가하는 워드선 전압의 펄스폭보다도 짧게 해주면 된다.

즉, 먼저 기입 대상인 메모리 셀과 접속되는 선택 비트선이 전원 전압  $V_{DD}$ 에 충전되어 있는 상태(다만, 메모리 스트링의 드레인측 선택 트랜지스터의 게이트 전압은 전원 전압  $V_{DD}$ 에 설정되어 있는 것으로 한다)에서 워드선 전압을 상승시키고, 기입 대상인 메모리 셀의 채널을 기입 금지의 메모리 셀에 대하여 행하는 것과 동일하게, 셀프 부스트 또는 로컬 셀프 부스트에 의해 비기입 전위까지 부스트한다. 그리고, 일정 시간 경과 후에, 비트선 전압을 기입 데이터에 따른 전압으로 전환하고, 이에 따라, 기입 대상인 메모리 셀의 채널을 비트선을 통해 기입 데이터에 따른 전압으로 방전시키고, 이후, 기입 사이클의 종료까지 기입을 행한다. 이 때, 기입 데이터의 기입 레벨이 낮은 경우만큼, 비트선 전압을 기입 데이터에 따른 전압으로 전환하는 타이밍을 늦게 해주면, 기입 레벨이 낮은 데이터가 기입되는 메모리 셀만큼, 실효적인 워드선 전압의 펄스폭이 짧아진다.

여기에서, 워드선 전압의 전압치가 동일한 때의 워드선 전압의 펄스폭 상이에 의한 스레시홀드 전압  $V_{th}$ 의 차를, 도 5에서, 예를 들면 5회째의 기입 사이클 후에 도달하는 스레시홀드 전압  $V_{th}$ 로부터 판독하면,

(A) 20  $\mu$ s인 경우와 10  $\mu$ s인 경우와의 차: 0.7V

(B) 20  $\mu$ s인 경우와 5  $\mu$ s인 경우와의 차: 1.1V

(C) 20  $\mu$ s인 경우와 2  $\mu$ s인 경우와의 차: 1.7V

로 된다. 실제로 선택 워드선에 인가하는 기입 펄스의 펄스폭을 20  $\mu$ s로 하는 경우에는, 전술한 (A)~(C)의 관계에 따라, 기입 데이터에 따른 실효적인 워드선 전압의 펄스폭(인가 시간)이 설정된다.

구체적으로는, 실제로 선택 워드선에 인가하는 펄스형 워드선 전압의 펄스폭을 20  $\mu$ s로 하고, 다치 병렬 기입 시의 비트선 전압을 도 6 (b)에 나타난 바와 같이 설정하는 경우에는, 기입 데이터에 따라 실효적인 워드선 전압의 펄스폭을, 예를 들면 도 6 (c)에 나타난 바와 같이 설정한다. 즉, 기입 데이터가 '0xx'(x: 0 또는 1)인 경우의 실효적인 워드선 전압의 펄스폭을 20  $\mu$ s로 하고, 기입 데이터가 '10x'(x: 0 또는 1)인 경우의 실효적인 워드선 전압의 펄스폭을 10  $\mu$ s로 하고, 기입 데이터가 '110'인 경우의 실효적인 워드선 전압의 펄스폭을 2  $\mu$ s로 한다. 그리고, 기입 데이터가 '111'인 경우에는, 실질적으로 데이터의 기입이 이루어지지 않으므로, 실효적인 워드선 전압의 펄스폭은 0  $\mu$ s이다.

여기에서, 기입 데이터가 '0xx'(x: 0 또는 1)인 경우의 실효적인 워드선 전압의 펄스폭은, 실제로 선택 워드선에 인가하는 워드선 전압의 펄스폭과 동일하고, 따라서, 기입 데이터가 '0xx'(x: 0 또는 1)인 경우에는, 워드선 전압의 상승과 동시에, 실효적인 데이터의 기입이 개시된다. 이에 대하여, 기입 데이터가 '10x'(x: 0 또는 1)인 경우 및 '110'인 경우의 실효적인 워드선 전압의 펄스폭은, 실제로 선택 워드선에 인가하는 워드선 전압의 펄스폭보다 짧고, 따라서, 기입 데이터가 '10x'(x: 0 또는 1)인 경우에는, 워드선 전압을 상승시키고 난 다음 10  $\mu$ s 경과 후에 실질적인 데이터의 기입이 개시되며, 기입 데이터가 '110'인 경우에는, 다시 8  $\mu$ s 경과 후(워드선 전압을 상승시키고 난 다음 18  $\mu$ s 경과 후)에 실질적인 데이터의 기입이 개시된다.

이와 같이, 다치 병렬 기입 시의 비트선 전압을 도 6 (b)에 나타난 바와 같이 설정하고, 또한 실효적인 워드선 전압의 펄스폭을 도 6 (c)에 나타난 바와 같이 설정한 경우의 실질적인 비트선 전압(환산 비트선 전압)은, 전술한 (a)~(c)의 관계에 따라, 모든 데이터의 기입 시간을 20  $\mu$ s로 한 경우로 환산하면, 도 6 (d)에 나타난 바와 같이 된다. 즉, 기입 데이터가 '00x'(x: 0 또는 1)인 경우의 환산 비트선 전압은  $0+0=0V$ 가 되며, 기입 데이터가 '01x'(x: 0 또는 1)인 경우의 환산 비트선 전압은  $1.2+0=1.2V$ 가 되며, 기입 데이터가 '10x'(x: 0 또는 1)인 경우의 환산비트선 전압은  $1.5+0.7=2.2V$ 가 되며, 기입 데이터가 '110'인 경우의 환산비트선 전압은  $1.5+1.7=3.2V$ 가 된다.

이 때의 이상적인 기입 시의 비트선 전압과 환산 비트선 전압과의 차(a)~(d)를 도 6 (e)에 나타냈다. 여기에서, 기입 데이터에 따라 실효적인 워드선 전압의 펄스폭을 제어하는 일을 행하지 않은 경우(모든 데이터의 기입 시간을 동일하게 한 경우), 이상적인 비트선 전압과 환산 비트선 전압과의 차가 가장 커지는 것은, 기입 데이터가 '110'인 경우이며, 이 때의 이상적인 비트선 전압과 환산 비트선 전압과의 차는 2.1V였다. 이에 대하여, 도 6 (e)에서 나타난 바와 같이, 기입 데이터에 따라 실효적인 워드선 전압의 펄스폭을 제어하여 다치 병렬 기입을 행하는 경우에, 이상적인 비트선 전압과 환산 비트선 전압과의 차가 가장 커지는 것은, 기입 데이터가 '101'인 경우이며, 이 때의 이상적인 비트선 전압과 환산 비트선 전압과의 차는 0.8V이다. 이 경우, 기입 개시 시의 워드선 전압은, 이 기입 데이터가 '101'인 메모리 셀 중 기입 속도가 가장 빠른 메모리 셀이 1회째의 기입 사이클로 바로 기입 레벨에 달하는 전압으로 설정하면 되고, 이상적인 전압치보다 0.8V만큼 낮은 전압으로 설정하면 된다. 이에 대하여, 기입 데이터에 따라 실효적인 워드선 전압의 펄스폭을 제어하는 것을 행하지 않은 경우(모든 데이터의 기입 시간을 동일(예를 들면 20  $\mu$ s)하게 설정한 경우), 이상적인 비트선 전압과 실제의 비트선 전압과의 차는, 기입 데이터가 '110'인 경우에 최대가 되며, 그 값은 2.1V이다.

이상과 같이, 본 발명에 의한 불휘발성 반도체 기억 장치 및 그 데이터 기입 방법에 의하면, 기입 동작 시에, 워드선에 펄스형 워드선 전압을 인가하여 메모리 셀에 데이터의 기입을 행하고, 이 때 기입 대상인 메모리 셀에 실질적으로 데이터의 기입이 이루어지는 시간에 대응하는 실효적인 워드선 전압의 펄스폭을 기입 데이터에 따라 제어하도록 하고 있음에 따라, 기입 개시 시의 워드선 전압을 높게 설정할 수 있다.

다음에, 본 발명의 실시 형태에 대하여 도면을 참조하여 설명한다.

도 7 및 도 8은 본 발명의 한 실시 형태에 의한 8치형의 NAND형 플래시 메모리를 나타낸다. 도 7은 이 8치형의 NAND형 플래시 메모리의 주요부의 구성을 나타내고, 도 8은 이 8치형의 NAND형 플래시 메모리의 메모리 셀 어레이의 등가 회로를 나타낸다. 이 NAND형 플래시 메모리는 메모리 셀 어레이(1), 비트선 전압 발생 회로(2) 및 독출/버리파이 제어 회로(3) 등에 의해 구성된다.



메모리 셀 어레이(1)는 도 8에 나타난 바와 같이, 예를 들면 플로팅 게이트(FG) 및 컨트롤 게이트(CG)를 가지며, 각각이 3비트의 메모리 셀로서 기능하는 MOS 트랜지스터(메모리 셀 트랜지스터)가 매트릭스형으로 배치된 것이며, 동일 행의 메모리 셀이 공통의 워드선(WL0~WL15)에 접속된 메모리 스트링(A0~An)에 의해 구성되어 있다. 그리고, 도 8에서는, 메모리 스트링(A2) 이후가 생략되어 있다.

1개의 메모리 스트링은 메모리 셀 트랜지스터가 직렬로 복수개 접속된 것이다. 메모리 스트링(A0)은 메모리 셀 트랜지스터(M<sub>0,0</sub>~M<sub>15,0</sub>)에 의해 구성되어 있다. 메모리 셀 트랜지스터(M<sub>15,0</sub>)의 드레인이 선택 트랜지스터(OS0)의 소스와 접속되고, 선택 트랜지스터(OS0)의 드레인이 비트선(BL0)과 접속되어 있다. 한편, 메모리 셀 트랜지스터(M<sub>0,0</sub>)의 소스가 선택 트랜지스터(SS0)의 드레인과 접속되고, 선택 트랜지스터(SS0)의 소스가 소스선 SL과 접속되어 있다. 또, 메모리 셀 트랜지스터(M<sub>0,0</sub>~M<sub>15,0</sub>)의 컨트롤 게이트가 각각 워드선(WL0~WL15)과 접속되어 있다. 마찬가지로, 메모리 스트링(A1)은 메모리 셀 트랜지스터(M<sub>0,1</sub>~M<sub>15,1</sub>)에 의해 구성되어 있다. 메모리 셀 트랜지스터(M<sub>15,1</sub>)의 드레인이 선택 트랜지스터(OS1)의 소스와 접속되고, 선택 트랜지스터(OS1)의 드레인이 비트선(BL1)과 접속되어 있다. 한편, 메모리 셀 트랜지스터(M<sub>0,1</sub>)의 소스가 선택 트랜지스터(SS1)의 드레인과 접속되고, 선택 트랜지스터(SS1)의 소스가 소스선 SL과 접속되어 있다. 또, 메모리 셀 트랜지스터(M<sub>0,1</sub>~M<sub>15,1</sub>)의 컨트롤 게이트가 각각 워드선(WL0~WL15)과 접속되어 있다.

이와 같이, 메모리 스트링(A0, A1)과 각 선이 접속되고, 다른 메모리 스트링(A2~An)에 관해서도 동일한 접속 관계로 되어 있다. 따라서, 메모리 스트링(A0~An)의 일단은, 선택 트랜지스터(OS0~OSn)를 통해 비트선(BL0~BLn)과 접속되고, 메모리 스트링(A0~An)의 타단은, 선택 트랜지스터(SS0~SSn)를 통해 소스선 SL과 접속되어 있다. 그리고, 선택 트랜지스터(OS0~OSn)의 게이트가 공통의 드레인층 선택 게이트선 DSG와 접속되고, 선택 트랜지스터(SS0~SSn)의 게이트가 공통의 소스층 선택 게이트선 SSG와 접속되어 있다. 메모리 셀 어레이(1)에서는, 전술한 바와 같은 메모리 스트링(A0~An)이 병렬로 배치되어 있다.

비트선(BL0 및 BL1)에 대응하여 배설되어 있는 비트선 전압 발생 회로(2)는, 도 7에 나타난 바와 같이, n 채널 MOS 트랜지스터로 이루어지는 트랜지스터(N1~N14), 인버터의 입출력끼리를 결합하여 이루어지는 래치 회로(LQ2, LQ1, LQ0) 및 p 채널 MOS 트랜지스터로 이루어지는 트랜지스터(P1)에 의해 구성되어 있다. 또, 비트선 전압 발생 회로(2)로부터는 소정의 정(定)전압원과 접속된 비트선 전압 공급 라인(VBL1, VBL2, VBL3)이 도출되어 있다. 이 NAND형 플래시 메모리에서는, 래치 회로(LQ2~LQ0)를 포함하는 1개의 비트선 전압 발생 회로(2)에 대하여 2개의 비트선이 선택적으로 접속되는 구성(비트선 shared)을 채택하고 있다. 그리고, 비트선(BL2) 이후에 대응하는 비트선 전압 발생 회로도 동일한 구성으로 되어 있고, 이를 부분에 관한 설명은, 설명을 간단히 하기 위해 생략한다. 또, 다른 회로 부분에 관해서도, 비트선(BL0 및 BL1)에 대응하는 부분에만 주목하고, 그 부분에 관해서만 설명한다.

비트선 전압 발생 회로(2)에 의해, 기입 시에 기입 데이터에 따른 비트선 전압이 발생되고, 그 비트선 전압이 비트선(BL0, BL1)을 통해 메모리 셀 어레이(1)의 메모리 셀 트랜지스터의 채널에 주어진 다. 베리파이 시에는, 비트선 전압 발생 회로(2)의 래치 회로(LQ2, LQ2, LQ0)의 기억 노드(Q2, Q1, Q0)는 메모리 셀 어레이(1)의 메모리 셀 트랜지스터에 기입이 충분히 행해지면, '111'로 설정된다. 독출 시에는, 메모리 셀 어레이(1)의 메모리 셀 트랜지스터의 스레시홀드 전압이 검출되어 데이터의 독출이 행해진다. 이 때, 래치 회로(LQ2, LQ1, LQ0)의 기억 노드(Q2, Q1, Q0)에는 독출된 데이터가 디코딩되어 설정되어 간다.

독출/베리파이 제어 회로(3)는, n 채널 MOS 트랜지스터로 이루어지는 트랜지스터(N15~N41)에 의해 구성되어 있다. 이 독출/베리파이 제어 회로(3)는 독출 시 또는 베리파이 시에, 래치 회로(LQ2, LQ1, LQ0)의 상태를 제어하는 것이다. 독출/베리파이 제어 회로(3)로부터는 제어 신호( $\phi$ LAT0~ $\phi$ LAT9)의 공급 라인이 도출되어 있다. 이 제어 신호( $\phi$ LAT0~ $\phi$ LAT9)의 공급 라인에 펄스형의 신호가 공급된다.

비트선(BL0)과 노드 SA와의 사이에는, 고내압의 n 채널 MOS 트랜지스터로 이루어지는 트랜지스터(HN1 및 HN3)가 직렬로 접속되어 있다. 또, 비트선(BL1)과 노드 SA와의 사이에는, 고내압의 n 채널 MOS 트랜지스터로 이루어지는 트랜지스터(HN2 및 HN4)가 직렬로 접속되어 있다. 트랜지스터(HN1, HN2)에 공통의 제어 신호 T<sub>FN0I</sub>가 공급된다. 트랜지스터(HN3)의 게이트에 어드레스 디코드 신호 A10이 공급되고, 트랜지스터(HN4)의 게이트에 어드레스 디코드 신호 A10I가 공급된다.

비트선 전압 발생 회로(2)에서는, 노드 SA와 전원 전압 V<sub>cc</sub>(V<sub>cc</sub>는 예를 들면 3.3V)의 공급 라인과의 사이에 트랜지스터(P1)가 접속되어 있다. 트랜지스터(P1)의 게이트에는 제어 신호 Vref가 공급된다. 또, 노드 SA와 접지 라인 GND와의 사이에 트랜지스터(N1)가 접속되어 있다. 트랜지스터(N1)의 게이트에는 제어 신호 DIS가 공급된다.

또, 비트선 전압 발생 회로(2)에서는, 트랜지스터(N2)의 드레인이 노드 SA와 접속되어 있다. 트랜지스터(N2)의 소스가 트랜지스터(N3, N5, N7, N9)의 드레인과 접속되어 있다. 트랜지스터(N2)의 게이트에는 제어 신호 PGM이 공급된다.

트랜지스터(N2)의 소스와 접지 라인과의 사이에 트랜지스터(N3, N4)가 직렬로 접속되어 있다. 트랜지스터(N2)의 소스와 비트선 전압 공급 라인(VBL1)과의 사이에 트랜지스터(N5, N6)가 직렬로 접속되어 있다. 트랜지스터(N2)의 소스와 비트선 전압 공급 라인(VBL2)과의 사이에 트랜지스터(N7, N8)가 직렬로 접속되어 있다. 트랜지스터(N2)의 소스와 비트선 전압 공급 라인(VBL3)과의 사이에 트랜지스터(N9, N10, N11)가 직렬로 접속되어 있다. 그리고, 이 한 실시 형태에 의한 NAND형 플래시 메모리에 있어서는, 전술한 바와 같이 GND 레벨의 비트선 전압을 공급하는 것이 가능한 비트선 전압 공급 라인(예를 들면, VBL0으로 함)을 추가로 배설하여, 트랜지스터(N2)의 소스와 이 비트선 전압 공급 라인(VBL0)과의 사이에 트랜지스터(N3, N4)를 직렬로 접속하도록 해도 된다.

래치 회로(LQ2, LQ1, LQ0)는 각각 기억 노드(Q2, Q1, Q0)와, 그 반전 기억 노드(/Q2, /Q1, /Q0)를 가지고 있다. 그리고, /는 반전을 나타내는 바를 의미하고 있다.



래치 회로(LQ2)의 반전 기억 노드(Q2)는 트랜지스터(N4, N6)의 게이트와 접속되고, 기억 노드(Q2)는 트랜지스터(N7, N9)의 게이트와 접속되어 있다. 래치 회로(LQ1)의 반전 기억 노드(Q1)는 트랜지스터(N3, N8)의 게이트와 접속되고, 기억 노드(Q1)는 트랜지스터(N5, N10)의 게이트와 접속되어 있다. 래치 회로(LQ0)의 반전 기억 노드(Q0)는 트랜지스터(N11)의 게이트와 접속되어 있다.

또, 래치 회로(LQ2)의 기억 노드(Q2), 래치 회로(LQ1)의 기억 노드(Q1), 래치 회로(LQ0)의 기억 노드(Q0)의 각각과 접지 라인과의 사이에, 트랜지스터(N12, N13, N14)가 접속되어 있다. 트랜지스터(N12, N13, N14)의 게이트에 리셋 신호 RST가 공급된다.

독출/베리파이 제어 회로(3)에 있어서는, 트랜지스터(N15, N16, N17)의 게이트가 비트선 전압 발생 회로(2)의 노드 SA와 접속되어 있다. 트랜지스터(N15)의 드레인이 래치 회로(LQ2)의 반전 기억 노드(Q2)와 접속되고, 트랜지스터(N16)의 드레인이 래치 회로(LQ1)의 반전 기억 노드(Q1)와 접속되고, 트랜지스터(N17)의 드레인이 래치 회로(LQ0)의 반전 기억 노드(Q0)와 접속되어 있다.

트랜지스터(N15)의 소스와 접지 라인과의 사이에 트랜지스터(N18)가 접속되어 있는 동시에, 이와 병렬적으로 트랜지스터(N19, N20, N21)가 직렬로 접속되어 있다.

트랜지스터(N16)의 소스가 트랜지스터(N22)의 드레인 및 트랜지스터(N27)의 드레인과 접속되어 있다. 트랜지스터(N22)의 소스와 접지 라인과의 사이에 트랜지스터(N23, N24)가 직렬로 접속되어 있는 동시에, 이와 병렬적으로 트랜지스터(N25, N26)가 직렬로 접속되어 있다. 트랜지스터(N27)의 소스와 접지 라인과의 사이에 트랜지스터(N28, N29)가 직렬로 접속되어 있는 동시에, 이와 병렬적으로 트랜지스터(N30, N31)가 직렬로 접속되어 있다.

트랜지스터(N17)의 소스가 트랜지스터(N32)의 드레인 및 트랜지스터(N37)의 드레인과 접속되어 있다. 트랜지스터(N32)의 소스와 접지 라인과의 사이에 트랜지스터(N33, N34)가 직렬로 접속되어 있는 동시에, 이와 병렬적으로 트랜지스터(N35, N36)가 직렬로 접속되어 있다. 트랜지스터(N37)의 소스와 접지 라인과의 사이에 트랜지스터(N38, N39)가 직렬로 접속되어 있는 동시에, 이와 병렬적으로 트랜지스터(N40, N41)가 직렬로 접속되어 있다.

독출/베리파이 제어 회로(3)로부터는, 제어 신호( $\phi$ LAT0~ $\phi$ LAT9)의 공급 라인이 도출된다. 트랜지스터(N18)의 게이트에 제어 신호( $\phi$ LAT0)가 공급된다. 트랜지스터(N21)의 게이트에 제어 신호( $\phi$ LAT1)가 공급된다. 트랜지스터(N24)의 게이트에 제어 신호( $\phi$ LAT2)가 공급된다. 트랜지스터(N26)의 게이트에 제어 신호( $\phi$ LAT3)가 공급된다. 트랜지스터(N29)의 게이트에 제어 신호( $\phi$ LAT4)가 공급된다. 트랜지스터(N31)의 게이트에 제어 신호( $\phi$ LAT5)가 공급된다. 트랜지스터(N34)의 게이트에 제어 신호( $\phi$ LAT6)가 공급된다. 트랜지스터(N36)의 게이트에 제어 신호( $\phi$ LAT7)가 공급된다. 트랜지스터(N39)의 게이트에 제어 신호( $\phi$ LAT8)가 공급된다. 트랜지스터(N41)의 게이트에 제어 신호( $\phi$ LAT9)가 공급된다.

래치 회로(LQ2)의 반전 기억 노드(Q2)가 트랜지스터(N27, N37)의 게이트와 접속되고, 기억 노드(Q2)가 트랜지스터(N22, N32)의 게이트와 접속되어 있다. 래치 회로(LQ1)의 반전 기억 노드(Q1)가 트랜지스터(N35, N40)의 게이트와 접속되고, 기억 노드(Q1)가 트랜지스터(N33, N38)의 게이트와 접속되어 있다. 래치 회로(LQ0)의 반전 기억 노드(Q0)가 트랜지스터(N28, N23)의 게이트와 접속되고, 기억 노드(Q0)가 트랜지스터(N30, N25, N20)의 게이트와 접속되어 있다.

그리고, 래치 회로(LQ2)의 기억 노드(Q2)와 버스 라인(I00)과의 사이에 트랜지스터(N51)가 접속되고, 래치 회로(LQ1)의 기억 노드(Q1)와 버스 라인(I01)과의 사이에 트랜지스터(N52)가 접속되고, 래치 회로(LQ0)의 기억 노드(Q0)와 버스 라인(I02)과의 사이에 트랜지스터(N53)가 접속되어 있다. 또, 컬럼 게이트로서의 트랜지스터(N51, N52, N53)의 게이트가 신호(V1~0)의 공급 라인과 접속되어 있다.

또, 도시는 생략하지만, 이 NAND형 플래시 메모리는 각 신호선에 공급하는 소정의 전압을 발생시키기 위한 승압 회로 및 그 제어 회로를 가지고 있다. 구체적으로는, 이 NAND형 플래시 메모리는, 후술하는 기입 전압 VPGM 발생용의 승압 회로 및 그 제어 회로, 기입 패스 전압 Vpass 발생용의 승압 회로 및 그 제어 회로, P5V(독출 시의 패스 전압으로, 예를 들면 5V~6V 정도) 발생용의 승압 회로 및 그 제어 회로를 가지고 있다.

전술한 바와 같이 구성된 이 한 실시 형태에 의한 NAND형 플래시 메모리에 있어서, 1개의 메모리 셀 트랜지스터에 3비트로 이루어지는 8치를 취하는 데이터가 기록된다. 3비트로 이루어지고 8치를 취하는 데이터의 스레시홀드 전압 Vth의 분포와, 데이터 내용과는, 예를 들면 도 6에 나타낸 바와 같은 대응 관계가 된다.

구체적으로는, 도 6에서 분포(7)는 데이터 '0'이 기입되어 제7 플러스 스레시홀드 전압 Vth의 기입 상태가 되는 메모리 셀 트랜지스터의 분포이며, 분포(6)는 데이터 '1'이 기입되어 제6 플러스 스레시홀드 전압 Vth의 기입 상태가 되는 메모리 셀 트랜지스터의 분포이며, 분포(5)는 데이터 '10'이 기입되어 제5 플러스 스레시홀드 전압 Vth의 기입 상태가 되는 메모리 셀 트랜지스터의 분포이며, 분포(4)는 데이터 '11'이 기입되어 제4 플러스 스레시홀드 전압 Vth의 기입 상태가 되는 메모리 셀 트랜지스터의 분포이며, 분포(3)는 데이터 '100'이 기입되어 제3 플러스 스레시홀드 전압 Vth의 기입 상태가 되는 메모리 셀 트랜지스터의 분포이며, 분포(2)는 데이터 '101'이 기입되어 제2 플러스 스레시홀드 전압 Vth의 기입 상태가 되는 메모리 셀 트랜지스터의 분포이며, 분포(1)는 데이터 '110'이 기입되어 제1 플러스 스레시홀드 전압 Vth의 기입 상태가 되는 메모리 셀 트랜지스터의 분포이다. 또, 도 6에서 분포(0)는 데이터 '111'이 기입되어 제4 마이너스 스레시홀드 전압 Vth의 소거 상태가 되는 메모리 셀 트랜지스터의 분포이다.

또, 도 6에서는, 후술하는 베리파이 동작에서의 독출 시의 각 상태에 대한 선택 워드선 전압이 VWF1, VWF2, VWF3, VWF4, VWF5, VWF6, VWF7로 나타나고, 통상 독출 시의 각 상태에 대한 선택 워드선 VRD1, VRD2, VRD3, VRD4, VRD5, VRD6, VRD7로 나타나 있다. 그 대소 관계는, VWF7 > VRD7 > VRD6 > VWF5 > VRD5 > VWF4 > VRD4 > VWF3 > VRD3 > VWF2 > VRD2 > VWF1 > VRD1로 된다. 일례를 들면, VWF=3.6V, VRD7=3.6V, VWF6=3.2V, VRD6=3.0V, VWF5=2.6V, VRD5=2.4V, VWF4=2.0V, VRD4=1.8V, VWF3=1.4V, VRD3=1.2V, VWF2=0.8V, VRD2=0.6V, VWF1=0.2V, VRD1=0V이다.

전술한 바와 같이 구성된 미 한 실시 형태에 의한 NAND형 플래시 메모리에서의 기입 동작, 베리파이 동작 및 통상 독출 동작에 대하여 다음에 설명한다.

먼저, 미 한 실시 형태에 의한 NAND형 플래시 메모리의 기입 동작에 대하여, 설명한다. 도 2에 미 한 실시 형태에 의한 NAND형 플래시 메모리의 기입 동작에 9서의 각부의 신호를 나타냈다. 그리고, 여기에서는, 메모리 스트링(A0)이 기입 대상으로서 선택되어 있는 것으로 한다. 미 한 실시 형태에 의한 NAND형 플래시 메모리에서는, 기입 동작과 베리 파이 동작을 반복 행함으로써, 기입 대상인 메모리 셀 트랜지스터에 대하여 원하는 데이터가 기입되어 간다. 이 때, 기입 개시 시의 워드선 전압을 소정의 초기 전압으로 설정하고, 서서히 소정의 스텝폭으로 단계적으로 워드선 전압을 증가시키면서 기입을 차례로 행하는 ISP과 하는 방법이 사용된다.

기입 동작 전에는, 제어 신호 PGMI 로 레벨(GND 레벨)로 설정되어 트랜지스터(N2)가 오프되고, 비트선(BL0, BL1)과 기입 제어 회로(2)가 분리되어 있다. 제어 신호 MIS가 하이 레벨( $V_{DD}$  레벨)로, 제어 신호 TRN 및 어드레스 디코드 신호 AiB, AiNDI ( $V_{DD}$ -Vth) 레벨로 설정되어 있다. 이 때, 트랜지스터(HN1, HN2, HN3, HN4) 및 트랜지스터(N1)가 온되어 있음에 따라, 전 비트선은 접지되어 있다. 또, 비트선 전압 공급 라인(VBL1)의 전압은 전압(VB1)(예를 들면, 1.2V)으로 설정되고, 비트선 전압 공급 라인(VBL2) 및 비트선 전압 공급 라인(VBL3)의 전압은  $V_{DD}$  레벨로 설정되어 있다.

미 상태에서 기입이 기동되는 경우에는, 기입 데이터가 데이터 버스를 통해 비트선 전압 발생회로(2)의 래치 회로(LQ2, LQ1, LQ0)에 공급되고, 그리고 그 기입 데이터가 래치 회로(LQ2, LQ1, LQ0)에 수용되어 유지된다. 이 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터에 따라 기입이 행해진다. 그 후, 제어 신호 MIS가 로 레벨로 전환되고, 비트선(BL0, BL1)이 접지 라인과 분리된다. 그리고, 제어 신호 TRN 및 어드레스 디코드 신호 AiB, AiNDI  $V_{DD}$  이상의 소정의 레벨, 예를 들면 P5V 레벨로 설정되는 동시에, 제어 신호 Vref가 로 레벨(GND 레벨)로 설정된다. 이에 따라, 전 비트선이  $V_{DD}$ 로 충전된다. 또, 메모리 셀 어레이(1)의 드레인측 선택 게이트선 DS6가  $V_{DD}$  레벨로, 소스측 선택 게이트선 SS6가 GND 레벨로 설정된다. 메모리 스트링(A0)의 메모리 셀 트랜지스터의 채널(CH0) 및 메모리 스트링(A1)의 메모리 셀 트랜지스터의 채널(CH1)은, ( $V_{DD}$ -VthDS6)로 충전된다. VthDS6는 선택 트랜지스터(DS0, DS1)의 스레시홀드 전압이다.

그 후, 어드레스 디코드 신호 AiB, AiNDI로 기입 대상이 되는 메모리 스트링이 선택된다. 여기에서는, 예를 들면 메모리 스트링(A0)이 기입 대상으로서 선택되어 있는 경우에 대하여 설명한다. 이 경우, 비트선 전압 공급 라인(VBL1)이 전압(VB1)으로 설정되고, 비트선 전압 공급 라인(VBL2 및 VBL3)이  $V_{DD}$  레벨로 설정되어 있는 상태에서, 제어 신호 Vref가 비트선(BL0) 등의 리크 전류를 보상하는 만큼의 전류를 트랜지스터(P1)가 흐르게 하는 것이 가능한 소정 레벨의 전압(예를 들면, 2V)으로 설정된다. 또, 어드레스 디코드 신호 AiNDI 로 레벨(GND 레벨)로 설정되고, 트랜지스터(HN4)가 오프 상태로 전환되어, 비선택측의 비트선(BL1)이  $V_{DD}$ 로 충전된 상태에서 플로팅 상태로 유지되고, 메모리 스트링(A1)의 메모리 셀 트랜지스터의 채널(CH1)이 ( $V_{DD}$ -VthDS6) 레벨로 유지된다.

그리고, 일정 시간 경과 후, 제어 신호 PGMI 하이 레벨로 설정되어 트랜지스터(N2)가 온으로 전환된다. 그러므로, 선택 비트선(BL0)과 비트선 전압 발생 회로(2)가 접속되어, 선택 비트선(BL0)이 기입 데이터에 따른 전압으로 설정된다.

이 때, 기입 데이터가 '00x'(x: 0 또는 1)인 경우에는, 트랜지스터(N3, N4)가 온되어, 비트선(BL0)은 접지 라인과 접속된다. 따라서, 비트선(BL0) 및 메모리 스트링(A0)의 메모리 셀 트랜지스터의 채널(CH0)은 GND 레벨로 방전된다.

기입 데이터가 '01x'(x: 0 또는 1)인 경우에는, 트랜지스터(N5, N6)가 온 되어, 비트선(BL0)은 비트선 전압 공급 라인(VBL1)과 접속된다. 따라서, 비트선(BL0) 및 메모리 스트링(A0)의 메모리 셀 트랜지스터의 채널(CH0)은 전압(VB1)(=1.2V)으로 방전된다.

기입 데이터가 '10x'(x: 0 또는 1)인 경우에는, 트랜지스터(N7, N8)가 온 되어, 비트선(BL0)은 비트선 전압 공급 라인(VBL2)과 접속된다. 따라서, 비트선(BL0)은  $V_{DD}$ 로 유지되고, 메모리 스트링(A0)의 메모리 셀 트랜지스터의 채널(CH0)은 ( $V_{DD}$ -VthDS6)로 유지된다.

기입 데이터가 '110'인 경우에는, 트랜지스터(N9, N10, N11)가 온 되어, 비트선(BL0)은 비트선 전압 공급 라인(VBL3)과 접속된다. 따라서, 비트선(BL0)은  $V_{DD}$ 로 유지되고, 메모리 스트링(A0)의 메모리 셀 트랜지스터의 채널(CH0)은 ( $V_{DD}$ -VthDS6)로 유지된다.

기입 데이터가 '111'인 경우에는, 전류가 형성되지 않고, 비트선(BL0)은 접지 라인 및 비트선 공급 라인(VBL1~VBL3)의 어느 것에도 접속되지 않는다. 따라서, 비트선(BL0)은  $V_{DD}$ 로 충전된 상태에서 플로팅 상태로 되고, 메모리 스트링(A0)의 메모리 셀 트랜지스터의 채널(CH0)은 ( $V_{DD}$ -VthDS6)로 유지된다.

그 후, 워드선에 펄스 폭이, 예를 들면 20 $\mu$ s의 펄스형 워드선 전압이 인가된다. 이 경우, 워드선(WL0~WL15) 중, 기입 대상 페이지로 되는 선택 워드선이 기입 전압 VPGM으로 설정되고, 그 이외의 비선택 워드선이 기입 패스 전압 Vpass로 설정된다.

이 때, 기입 데이터가 '00x'(x: 0 또는 1) 및 '01x'(x: 0 또는 1)인 메모리 셀 트랜지스터에서는, 선택 워드선에 인가된 워드선 전압(기입 전압 VPGM)과 메모리 셀 트랜지스터의 채널 전압과의 전계에 의해 FN 터널링 현상이 일어나, 데이터의 기입이 개시된다. 또, 기입 데이터가 '10x'(x: 0 또는 1), '110' 및 '111'인 메모리 셀 트랜지스터의 채널, 및 비선택측 메모리 스트링(A1)의 메모리 셀 트랜지스터의 채널(CH1)은, 드레인측의 선택 트랜지스터(DS0, DS1)에 의해 비트선(BL0, BL1)으로부터 분리되고, 워드선과의 용량 결합에 의해 비기입 전위로 부스트되어, 이들 메모리 셀 트랜지스터에 대해서는 데이터의 기입이 행해지지 않는다.

따라서, 이 사이에, 기입 데이터가 '00x'(x: 0 또는 1) 및 '01x'(x: 0 또는 1)인 메모리 셀 트랜지스터에 대해서만, 데이터의 기입이 행해진다.

그리고, 워드선 전압의 인가를 개시하고 난 다음 소정 시간, 예를 들면 10 $\mu$ s 경과 후, 비트선 전압 공급 라인(VBL2)의 전압이  $V_{DD}$  레벨로부터 전압(VB2)(예를 들면, 1.5V)으로 전환된다.

이 때, 기입 데이터가 '10x'(x: 0 또는 1)인 경우에는, 비트선(BL0)은 전압(VB2)(=1.5V)으로 방전되고, 선택 트랜지스터(DS0)가 온되어, 메모리 스트링(A0)의 메모리 셀 트랜지스터의 채널(CH0)은 전압(VB2)(=1.5V)으로 설정된다. 이에 따라, 기입 데이터가 '10x'(x: 0 또는 1)인 메모리 셀 트랜지스터에서, 데이터의 기입이 개시된다. 기입 데이터가 '00x'(x: 0 또는 1)인 메모리 셀 트랜지스터 및 기입 데이터가 '01x'(x: 0 또는 1)인 메모리 셀 트랜지스터에서는, 데이터의 기입이 계속해서 행해진다. 기입 데이터가 '110' 및 '111'인 메모리 셀 트랜지스터의 채널, 및 비선택측 메모리 스트링(A1)의 메모리 셀 트랜지스터의 채널(CH1)은, 비기입 전위로 부스트된 상태로 유지되고, 이들 메모리 셀 트랜지스터에 대해서는 데이터의 기입이 행해지지 않는다.

따라서, 이 사이에, 기입 데이터가 '00x'(x: 0 또는 1), '01x'(x: 0 또는 1) 및 '10x'(x: 0 또는 1)인 메모리 셀 트랜지스터에 대하여, 데이터의 기입이 행해진다.

또한, 비트선 전압 공급 라인(VBL2)이 전압(VB2)으로 전환되고 난 다음 소정 시간, 예를 들면 8 $\mu$ s 경과 후(워드선 전압의 인가를 개시하고 난 다음 18 $\mu$ s 경과 후), 비트선 전압 공급 라인(VBL3)의 전압이  $V_{DD}$  레벨로부터 전압(VB3)(예를 들면, 1.5V)으로 전환된다.

이 때, 기입 데이터가 '110'인 경우에는, 비트선(BL0)은 전압(VB3)(=1.5V)으로 방전되고, 선택 트랜지스터(DS0)가 온되어, 메모리 스트링(A0)의 메모리 셀 트랜지스터의 채널(CH0)은 전압(VB3)(=1.5V)으로 설정된다. 이에 따라, 기입 데이터가 '110'인 메모리 셀 트랜지스터에서, 데이터의 기입이 개시된다. 기입 데이터가 '00x'(x: 0 또는 1)인 메모리 셀 트랜지스터, 기입 데이터가 '01x'(x: 0 또는 1)인 메모리 셀 트랜지스터 및 기입 데이터가 '10x'(x: 0 또는 1)인 메모리 셀 트랜지스터에서는, 데이터의 기입이 계속하여 행해진다. 기입 데이터가 '111'인 메모리 셀 트랜지스터의 채널 및 비선택측 메모리 스트링(A1)의 메모리 셀 트랜지스터의 채널(CH1)은, 비기입 전위로 부스트된 상태로 유지되어, 이들의 메모리 셀 트랜지스터에 대해서는 데이터의 기입이 행해지지 않는다.

따라서, 이 사이에 기입 데이터가 '00x'(x: 0 또는 1), '01x'(x: 0 또는 1) 및 '10x'(x: 0 또는 1) 및 '110'인 메모리 셀 트랜지스터에 대하여, 데이터의 기입이 행해진다.

그리고, 비트선 전압 공급 라인(VBL3)의 전압이 전압(VB3)으로 전환되고 난 다음 2 $\mu$ s 경과 후(워드선 전압의 인가를 개시하고 난 다음 20 $\mu$ s 경과 후), 워드선 전압이 0V로 설정되어, 기입 사이클이 종료된다.

전술한 기입 동작에 있어서는, 비트선 전압 발생 회로(2)에서 비트선 전압을 기입 데이터에 따른 전압으로 설정되는 타이밍이 기입 데이터의 기입 레벨이 낮은 경우만큼 늦어지고 있는 것이 특징적이다.

구체적으로는, 기입 데이터가 '00x'(x: 0 또는 1) 및 '01x'(x: 0 또는 1)인 경우, 워드선 전압이 상승되기 전에, 비트선(BL0)이 각각 0V, 전압(VB1)(=1.2V)으로 설정되고, 기입 데이터가 '10x'(x: 0 또는 1)인 경우, 워드선 전압이 상승하고 난 다음 10 $\mu$ s 경과 후에 비트선(BL0)이 전압(VB2)(=1.5V)으로 설정되고, 기입 데이터가 '110'인 경우, 워드선 전압이 상승하고 난 다음 18 $\mu$ s 경과 후에 비트선(BL0)이 전압(VB3)(=1.5V)으로 설정된다. 이 경우, 메모리 셀 트랜지스터에 대하여 실질적으로 데이터의 기입이 이루어지는 시간은 기입 데이터가 '0xx'(x: 0 또는 1)인 경우 20 $\mu$ s이며, 기입 데이터가 '10x'(x: 0 또는 1)인 경우 10 $\mu$ s이며, 기입 데이터가 '110'인 경우 2 $\mu$ s이다. 그리고, 기입 데이터가 '111'인 경우 메모리 셀 트랜지스터에 대하여 실질적으로 데이터의 기입이 이루어지는 시간은 0 $\mu$ s이다. 이 실질적으로 데이터의 기입이 이루어지는 시간은, 실질적인 워드선 전압의 펄스폭(인가 시간)에 대응하고 있다.

이와 같이, 이 한 실시 형태에서는, 비트선 전압을 기입 데이터에 따른 전압으로 설정되는 타이밍을 기입 데이터에 따라 제어함으로써, 기입 데이터에 따른 실질적인 워드선 전압의 펄스폭 제어가 행해지고 있다.

다음에, 베리파이 동작에 대하여 설명한다. 도 10에 이 한 실시 형태에 의한 NAND형 플래시 메모리의 베리파이 동작에서의 각 부 신호의 상태를 나타냈다. 그리고, 여기에서는 전술한 기입 동작에 계속하여, 메모리 스트링(A0)이 베리파이 대상으로서 선택되어 있는 것으로 한다.

전술한 기입 동작에서, 워드선 전압  $V_{WL0}$ 이 GND 레벨로 설정되어 1회의 기입 사이클이 종료된 후, 제어 신호 PGMI가  $V_{DD}$  레벨로부터 GND 레벨로 전환되고, 비트선(BL0)과 비트선 전압 발생 회로(2)가 분리된다. 그리고, 제어 신호 DIS가 하이 레벨, 어드레스 디코드 신호 AINO가 P5V 레벨로 설정되는 동시에, 어드레스 디코드 신호 AIB 및 제어 신호 TRNO가 기입 시의 그대로 P5V 레벨로 설정되고, 이 사이에 전 비트선이 접지된다. 일정 시간 경과 후, 제어 신호 TRNO가 GND 레벨로 설정되고, 다시 일정 시간 경과 후, 제어 신호 DIS가 GND 레벨로 전환된다. 그리고, 어드레스 디코드 신호 AINO가 GND 레벨로 설정되고, 비선택측의 비트선(BL1)이 플로팅 상태로 되는 동시에, 제어 신호 TRNO가 ( $V_{DD}-V_{th}$ ) 레벨로 설정된다. 이 때, 어드레스 디코드 신호 AIB가 P5V 레벨임에 따라, 선택 비트선(BL0)과 노드 SA가 접속된다.

이 베리파이 동작에서는 1회의 기입이 종료될 때마다 데이터 '0', '1', '10', '11', '100', '101', '110'에 대응한 스레시홀드 전압  $V_{th}$ 의 판정이 행해진다. 이 스레시홀드 전압  $V_{th}$ 의 판정은, 제어 신호 DIS가 GND 레벨로 전환된 후, 드레인측 선택 게이트선 DSG 및 소스측 게이트선 SSG가 비선택 워드선의 전압과 동일한 소정의 하이 레벨의 전압, 예를 들면 P5V로 설정되어, 선택 워드선의 전압  $V_{WL}$ 을 예를 들면  $V_{VF7} \rightarrow V_{VF6} \rightarrow V_{VF5} \rightarrow V_{VF4} \rightarrow V_{VF3} \rightarrow V_{VF2} \rightarrow V_{VF1}$ 의 순서로 단계적으로 내려가면서 이루어진다.

먼저, 각 워드선 전압에서의 실제의 스레시홀드 전압  $V_{th}$ 의 판정 전 처리로서 제어 신호  $V_{ref}$ 가 로 레벨(GND 레벨)로 설정되어 트랜지스터(P1)가 온되고, 비트선(BL0)에 대하여 전압  $V_{DD}$ 에서의 충전이 이루어진다. 어드레스 시간이 경과하면, 비트선(BL0)의 전압이 상승하고, 트랜지스터(HN1)의 게이트 소스 간의 전위차가  $V_{th}$ ( $V_{th}$ 는 트랜지스터(HN1)의 스레시홀드 전압) 이하로 될 때 자동적으로

트랜지스터(HN1, HN3)가 오픈된다. 따라서, 비트선(BL0)은 ( $V_{DD}-V_{th}-V_{th}'$ ) 레벨(예를 들면, 1 V 정도)로 충전되고, 노드 SA는  $V_{DD}$  레벨로 된다.

전술한 상태에서, 선택 워드선의 전압을 소정치로 하는 동시에, 래치 회로(LQ2~LQ0)의 노드(Q2~Q0)가 소정 데이터로 설정된 상태에서, 셀 전류의 유무를 비트선(BL0) 및 노드 SA의 전압에 반영시켜 스레시홀드 전압  $V_{th}$ 의 판정이 이루어진다. 즉, 소정의 메모리 셀 트랜지스터의 스레시홀드 전압  $V_{th}$  이상의 전압이 그 컨트롤 게이트에 공급되어 셀 전류가 흐르는 경우에는, 비트선(BL0)의 전압이 강하하여, 트랜지스터(HN1, HN3)가 온된다. 따라서, 노드 SA는 비트선(BL0)의 전압( $V_{DD}-V_{th}-V_{th}'$ )과 대략 동일한 전압까지 강하한다. 또, 소정의 메모리 셀 트랜지스터의 스레시홀드 전압  $V_{th}$  미만의 전압이 그 컨트롤 게이트에 공급되는 경우에는, 셀 전류가 흐르지 않아, 비트선(BL0)의 전압이 강하되지 않고, 노드 SA의 전압은 그대로  $V_{DD}$  레벨로 유지된다. 이 관계에 따라 스레시홀드 전압  $V_{th}$ 의 판정이 이루어진다.

비트선(BL0)의 충전이 완료되면, 제어 신호  $V_{ref}$ 가 비트선(BL0)의 리크 전류를 보상하는 만큼의 전류를 트랜지스터(P1)가 흐르게 하는 것이 가능한 소정 레벨의 전압(예를 들면, 2V)으로 설정된다.

먼저, 선택 워드선의 전압  $V_{WL0}$ 이  $V_{WF7}$ 로 설정되고, 기입 데이터가 '0'에 대응하는 스레시홀드 전압  $V_{th}$ 의 판정이 이루어진다. 여기에서, 메모리 셀 트랜지스터의 스레시홀드 전압  $V_{th}$ 가  $V_{WF7}$ 보다 큰( $V_{th} > V_{WF7}$ ) 경우에는, 셀에 전류가 흐르지 않음에 따라, 비트선(BL0)의 전압은 변화하지 않고, 노드 SA는  $V_{DD}$  레벨로 유지된다. 이 때, 트랜지스터(N15, N16, N17)가 온된다.

그리고, 일정 시간 경과 후, 펄스형의 신호인 제어 신호( $\phi_{LAT0}$ ,  $\phi_{LAT2}$ ,  $\phi_{LAT6}$ )가 차례로 하이 레벨로 설정된다.

제어 신호( $\phi_{LAT0}$ )가 하이 레벨로 설정되면, 트랜지스터(N18)가 온되며, 이 때 트랜지스터(N15)가 온되어 있음에 따라, 래치 회로(LQ2)의 반전 기억 노드(Q2)가 로 레벨로 설정되고 기억 노드(Q2)가 로 레벨로부터 하이 레벨로 반전된다. 이 때, 래치 회로(LQ2)의 기억 노드(Q2)와 접속된 트랜지스터(N22, N32)의 게이트가 하이 레벨로 된다.

제어 신호( $\phi_{LAT2}$ )가 하이 레벨로 설정되면, 트랜지스터(N24)가 온되고, 이 때 트랜지스터(N23, N22) 및 트랜지스터(N16)가 온되어 있음에 따라, 래치 회로(LQ1)의 반전 기억 노드(Q1)가 로 레벨로 설정되고 기억 노드(Q1)가 로 레벨로부터 하이 레벨로 반전된다. 이 때, 래치 회로(LQ1)의 기억 노드(Q1)와 접속된 트랜지스터(N33)의 게이트가 하이 레벨로 된다.

제어 신호( $\phi_{LAT6}$ )가 하이 레벨로 설정되면, 트랜지스터(N34)가 온되고, 이 때 트랜지스터(N33, N32) 및 트랜지스터(N17)가 온되어 있음에 따라, 래치 회로(LQ0)의 반전 기억 노드(Q0)가 로 레벨로 설정되고 기억 노드(Q0)가 로 레벨로부터 하이 레벨로 반전된다.

이상에 의해, 기입 데이터가 '0'의 메모리 셀 트랜지스터로서, 그 스레시홀드 전압  $V_{th}$ 가  $V_{WF7}$ 보다 큰( $V_{th} > V_{WF7}$ ) 경우, 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터는 '111'로 반전하여, 기입 금지 상태로 된다.

한편, 메모리 셀 트랜지스터의 스레시홀드 전압  $V_{th}$ 가  $V_{WF7}$ 보다 작은( $V_{th} < V_{WF7}$ ) 경우, 리크 보상 전류보다 큰 셀 전류가 흘러, 노드 SA의 전압이 강하하여 트랜지스터(HN1, HN3)가 온되고, 비트선(BL0)의 용량 CBL과 노드 SA의 용량 CSA( $< CBL$ )와의 사이에서 전하의 재분배가 일어나, 노드 SA의 전압이 비트선(BL0)의 전압( $V_{DD}-V_{th}-V_{th}'$ )과 대략 동일한 정도의 로 레벨(예를 들면, 1V 정도)로 된다. 그러므로, 제어 신호( $\phi_{LAT0}$ ,  $\phi_{LAT2}$ ,  $\phi_{LAT6}$ )에 의해 트랜지스터(N18, N24, N34)가 온되어도, 트랜지스터(N15, N16, N17)의 게이트가 로 레벨(예를 들면, 1V)로 되어 있기 때문에, 트랜지스터(N15, N16, N17)의 각각의 드레인 소스 간에 고저항의 상태로 되어, 래치 회로(LQ2~LQ0)의 기억 노드(Q2~Q0)를 반전시키는 데 필요한 전류를 흐르게 할 수 없어, 그 결과 설정 상태가 유지된다.

선택 워드선의 전압  $V_{WL0}$ 이  $V_{WF7}$ 로 설정된 상태에서의 스레시홀드 전압  $V_{th}$ 의 판정이 완료되면, 다시 제어 신호  $V_{ref}$ 가 로 레벨로 설정되고 트랜지스터(P1)가 온되어, 비트선(BL0)에 대하여 전원 전압  $V_{DD}$ 에서의 충전이 이루어진다. 비트선(BL0)의 충전이 완료되면, 제어 신호  $V_{ref}$ 가 소정 레벨의 전압(예를 들면, 2V)으로 설정된다.

다음에, 선택 워드선의 전압  $V_{WL0}$ 이  $V_{WF6}$ 으로 설정되고, 기입 데이터가 '1'에 대응하는 스레시홀드 전압  $V_{th}$ 의 판정이 이루어진다. 여기에서, 메모리 셀 트랜지스터의 스레시홀드 전압  $V_{th}$ 가  $V_{WF6}$ 보다 큰( $V_{th} > V_{WF6}$ ) 경우에는, 셀에 전류가 흐르지 않음에 따라, 비트선(BL0)의 전압은 변화하지 않고, 노드 SA는  $V_{DD}$  레벨로 유지된다. 이 때, 트랜지스터(N15, N16, N17)가 온된다.

그리고, 일정 시간 경과 후, 펄스형의 신호인 제어 신호( $\phi_{LAT5}$ ,  $\phi_{LAT1}$ )가 차례로 하이 레벨로 설정된다.

제어 신호( $\phi_{LAT5}$ )가 하이 레벨로 설정되면, 트랜지스터(N31)가 온 되고, 이 때 트랜지스터(N30, N27) 및 트랜지스터(N16)가 온되어 있음에 따라, 래치 회로(LQ1)의 반전 기억 노드(Q1)가 로 레벨로 설정되고 기억 노드(Q1)가 로 레벨로부터 하이 레벨로 반전한다. 이 때, 래치 회로(LQ1)의 기억 노드(Q1)와 접속된 트랜지스터(N19)의 게이트가 하이 레벨로 된다. 그리고, 메모리 셀 트랜지스터의 스레시홀드 전압  $V_{th}$ 가  $V_{th} > V_{WF7}$ 인 경우에는, 선택 워드선의 전압  $V_{WL0}$ 이  $V_{WF7}$ 로 설정된 상태에서의 스레시홀드 전압  $V_{th}$ 의 판정에서, 이미 래치 회로(LQ1)의 반전 기억 노드(Q1)가 로 레벨로부터 하이 레벨로 판정되어 있기 때문에, 여기에서는 변화되지 않는다. 또, 기입 데이터가 '0'에서 메모리 셀 트랜지스터의 스레시홀드 전압  $V_{th}$ 가  $V_{WF7} > V_{th} > V_{WF6}$ 인 경우에는, 래치 회로(LQ0)의 기억 노드(Q0)가 로 레벨임에 따라 트랜지스터(N30)가 오프되어, 래치 회로(LQ1)의 기억 노드(Q1)는 변화되지 않는다.

제어 신호( $\phi_{LAT1}$ )가 하이 레벨로 설정되면, 트랜지스터(N21)가 온되고, 이 때 트랜지스터(N20, N19) 및 트랜지스터(N15)가 온되어 있음에 따라, 래치 회로(LQ2)의 반전 기억 노드(Q2)가 로 레벨로 설정되고 기

역 노드(Q2)가 로 레벨로부터 하이 레벨로 반전된다. 그리고, 메모리 셀 트랜지스터의 스레시홀드 전압  $V_{th}$ 가  $V_{th} > V_{WF7}$ 인 경우에는, 선택 워드선의 전압  $V_{WL0}$ 이  $V_{WF7}$ 로 설정된 상태에서의 스레시홀드 전압  $V_{th}$ 의 판정에서, 이미 래치 회로(LQ2)의 반전 기억 노드(Q2)가 로 레벨로부터 하이 레벨로 판정되어 있기 때문에, 여기에서는 변화되지 않는다. 또, 기입 데이터가 '0'에서 메모리 셀 트랜지스터의 스레시홀드 전압  $V_{th}$ 가  $V_{WF7} > V_{th} > V_{WF6}$ 인 경우에는, 래치 회로(LQ0)의 기억 노드(Q0)가 로 레벨임에 따라 트랜지스터(N30)가 오프되어, 래치 회로(LQ1)의 기억 노드(Q1)는 변화되지 않고, 따라서, 트랜지스터(N19)가 온되지 않으므로, 래치 회로(LQ2)의 기억 노드(Q2)는 변화되지 않는다.

이상에 의해, 기입 데이터가 '1'인 메모리 셀 트랜지스터로서, 그 스레시홀드 전압  $V_{th}$ 가 워드선 전압( $V_{WF6}$ )보다 큰( $V_{th} > V_{WF6}$ ) 경우, 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터는 '111'로 반전되어, 기입 금지 상태가 된다.

한편, 메모리 셀의 스레시홀드 전압  $V_{th}$ 가  $V_{WF6}$ 보다 작은( $V_{th} < V_{WF6}$ ) 경우, 리크 보상 전류보다 큰 셀 전류가 흘러, 노드 SA의 전압이 강하하여 트랜지스터(HN1, HN3)가 온되고, 비트선(BL0)의 용량 CBL과 노드 SA의 용량 CSA( $< CBL$ )와의 사이에서 전하의 재분배가 일어나, 노드 SA의 전압이 비트선(BL0)의 전압( $V_{ss}-V_{th}-V_{th}$ )과 대략 동일한 정도의 로 레벨(예를 들면, 1V 정도)로 된다. 그러므로, 제어 신호( $\phi_{LAT5}$ ,  $\phi_{LAT1}$ )에 의해 트랜지스터(N31, N21)가 온되어도, 트랜지스터(N15, N16)의 게이트가 로 레벨(예를 들면, 1V)로 되어 있기 때문에, 트랜지스터(N15, N16)의 각각의 드레인 소스 간의 고저항의 상태로 되어, 래치 회로(LQ1, LQ2)의 기억 노드(Q1, Q2)를 반전시키는 데 필요한 전류를 흐르게 할 수 없어, 그 결과 설정 상태가 유지된다.

다음에, 동일하게 하여, 선택 워드선의 전압  $V_{WL0}$ 이  $V_{WF5}$ 로 설정되고, 기입 데이터가 '10'에 대응하는 스레시홀드 전압  $V_{th}$ 의 판정이 이루어진 경우, 일정 시간 경과 후, 펄스형의 신호인 제어 신호( $\phi_{LAT8}$ ,  $\phi_{LAT1}$ )가 차례로 하이 레벨로 설정되고, 기입 데이터가 '10'인 메모리 셀 트랜지스터에서, 그 스레시홀드 전압  $V_{th}$ 가  $V_{WF5}$ 보다 큰( $V_{th} > V_{WF5}$ ) 경우에만 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터가 '111'로 반전되도록 제어된다.

선택 워드선의 전압  $V_{WL0}$ 이  $V_{WF4}$ 로 설정되고, 기입 데이터가 '11'에 대응하는 스레시홀드 전압  $V_{th}$ 의 판정이 이루어진 경우, 일정 시간 경과 후, 펄스형의 신호인 제어 신호( $\phi_{LAT2}$ ,  $\phi_{LAT6}$ )가 차례로 하이 레벨로 설정되고, 기입 데이터가 '11'인 메모리 셀 트랜지스터에서, 그 스레시홀드 전압  $V_{th}$ 가  $V_{WF4}$ 보다 큰( $V_{th} > V_{WF4}$ ) 경우에만 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터가 '111'로 반전되도록 제어된다.

선택 워드선의 전압  $V_{WL0}$ 이  $V_{WF3}$ 로 설정되고, 기입 데이터가 '100'에 대응하는 스레시홀드 전압  $V_{th}$ 의 판정이 이루어진 경우, 일정 시간 경과 후, 펄스형의 신호인 제어 신호( $\phi_{LAT2}$ ,  $\phi_{LAT6}$ )가 차례로 하이 레벨로 설정되고, 기입 데이터가 '100'인 메모리 셀 트랜지스터에서, 그 스레시홀드 전압  $V_{th}$ 가  $V_{WF3}$ 보다 큰( $V_{th} > V_{WF3}$ ) 경우에만 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터가 '111'로 반전되도록 제어된다.

선택 워드선의 전압  $V_{WL0}$ 이  $V_{WF2}$ 로 설정되고, 기입 데이터가 '101'에 대응하는 스레시홀드 전압  $V_{th}$ 의 판정이 이루어진 경우, 일정 시간 경과 후, 펄스형의 신호인 제어 신호( $\phi_{LAT3}$ )가 차례로 하이 레벨로 설정되고, 기입 데이터가 '101'인 메모리 셀 트랜지스터에서, 그 스레시홀드 전압  $V_{th}$ 가  $V_{WF2}$ 보다 큰( $V_{th} > V_{WF2}$ ) 경우에만 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터가 '111'로 반전되도록 제어된다.

선택 워드선의 전압  $V_{WL0}$ 이  $V_{WF1}$ 로 설정되고, 기입 데이터가 '110'에 대응하는 스레시홀드 전압  $V_{th}$ 의 판정이 이루어진 경우, 일정 시간 경과 후, 펄스형의 신호인 제어 신호( $\phi_{LAT6}$ )가 차례로 하이 레벨로 설정되고, 기입 데이터가 '110'인 메모리 셀 트랜지스터에서, 그 스레시홀드 전압  $V_{th}$ 가  $V_{WF1}$ 보다 큰( $V_{th} > V_{WF1}$ ) 경우에만 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터가 '111'로 반전되도록 제어된다.

그리고, 선택 워드선의 전압  $V_{WL0}$ 이  $V_{WF1}$ 로 설정된 상태에서의 스레시홀드 전압  $V_{th}$ 의 판정이 완료된 단계에서, 전 래치 데이터의 반전 신호의 와이어드(wired) OR이 취해지고, 하나라도 '0'이 있으면, 와이어드 OR의 결과는 로 레벨로 되어, 재기입 프로세스로 이행하고, 모두가 '1'로 되어 있으면, 기입이 종료된다. 이상의 기입 및 베리파이의 사이클은 모든 메모리 셀 트랜지스터가 기입 충분으로 판정되거나, 소정 회수에 달할 때까지 반복된다.

다음에, 통상 독출 동작에 대하여 구체적으로 설명한다. 도 11에, 이 한 실시 형태에 의한 NAND형 플래시 메모리의 통상 독출 동작 시에서의 각 부의 신호 상태를 나타냈다. 그리고, 여기에서는, 메모리 스트링(AD)이 독출 대상으로서 선택되어 있는 것으로 한다. 또, 메모리 셀 트랜지스터에는 기입 동작에 의해, 스레시홀드 전압  $V_{th}$ 와 기입 데이터가 도 6에 나타난 바와 같은 대응 관계로 되도록, 기입 데이터에 따라 기입이 이루어져 있는 것으로 한다.

통상, 독출 동작 전에는, 제어 신호 PGM이 GND 레벨로 선정되어 트랜지스터(N2)가 오프되고, 비트선(BL0, BL1)과 비트선 전압 발생 회로(2)가 분리되어 있다. 또, 어드레스 디코더 신호 AIB, AIN 및 제어 신호 TRN01( $V_{ss}-V_{th}$ ) 레벨로 설정되고, 제어 신호  $V_{ref}$ 가  $V_{ss}$  레벨로 설정되는 동시에, 제어 신호 DIS가 하이 레벨로 설정되어 트랜지스터(N1)가 온되고, 비트선(BL0, BL1)이 GND 레벨로 설정되어 있다.

통상, 독출 동작이 기동되면, 그 동작에 앞서 리셋 신호 RST가 일정 기간 하이 레벨로 설정되고, 래치 회로(LQ2~LQ0)에 유지되어 있는 데이터가 모두 로 레벨로 리셋된다. 통상, 독출 동작은 래치 회로(LQ2~LQ0)의 리셋 완료 후, 즉, 제어 신호 DIS 및 리셋 신호 RST가 모두 로 레벨로 전환된 후, 드레인측 선택 게이트선 DS6 및 소스측 선택 게이트선 SS6가 비선택 워드선의 전압과 동일한 소정 하이 레벨의 전압, 예를 들면 PSV(5.6~6.0V의 소정 전압)로 설정되고, 선택 워드선의 전압  $V_{WL}$ 을 예를 들면  $V_{RD7} \rightarrow V_{RD6} \rightarrow V_{RD5} \rightarrow V_{RD4} \rightarrow V_{RD3} \rightarrow V_{RD2} \rightarrow V_{RD1}$ 의 순서로 단계적으로 내려가면서 이루어진다.

또, 각 워드선 전압에서의 실제의 스레시홀드 전압  $V_{th}$ 의 판정 전 처리로서, 추가로 제어 신호  $V_{ref}$ 가 로 레벨로 설정되어 트랜지스터(P1)가 온되고, 비트선(BL0)에 대하여 전원 전압  $V_{ss}$ 에서의 충전이 이루어진다. 어느 정도 시간이 경과하면, 비트선(BL0)의 전압이 상승하고, 트랜지스터(HN1)의 게이트 소스 간의 전위차가  $V_{th}$ ( $V_{th}$ 는 트랜지스터(HN1)의 스레시홀드 전압) 이하로 될 때 자동적으로 트랜지스터(HN1,

HN3)가 오픈된다. 따라서, 비트선(BL0)은 ( $V_{DD}-V_{th}-V_{th}$ ) 레벨(예를 들면, 1 V 정도)로 충전되고, 노드 SA는  $V_{DD}$  레벨로 된다.

전술한 상태에서, 선택 워드선의 전압을 소정치로 하고, 셀 전류의 유무를 비트선(BL0) 및 노드 SA의 전압에 반영시켜 스레시홀드 전압  $V_{th}$ 의 판정이 이루어진다. 즉, 소정의 메모리 셀 트랜지스터의 스레시홀드 전압  $V_{th}$  이상의 전압이 그 게이트에 공급되어 셀 전류가 흐르는 경우에는, 비트선(BL0)의 전압이 강하하여, 트랜지스터(HN1, HN3)가 온된다. 따라서, 노드 SA의 전압은 비트선(BL0)의 전압( $V_{DD}-V_{th}-V_{th}$ )과 대략 동일한 정도의 레벨(예를 들면, 1V 정도)까지 강하된다. 또, 소정의 메모리 셀 트랜지스터의 스레시홀드 전압  $V_{th}$  미만의 전압이 그 게이트에 공급되는 경우에는, 셀 전류가 흐르지 않아, 비트선(BL0)의 전압이 강하되지 않고, 노드 SA의 전압은 그대로  $V_{DD}$  레벨로 유지된다. 이 관계에 따라 스레시홀드 전압  $V_{th}$ 의 판정이 이루어진다.

비트선(BL0)의 충전이 완료되면, 제어 신호  $V_{ref}$ 가 비트선(BL0)의 리크 전류를 보상하는 만큼의 전류를 트랜지스터(P1)가 흐르게 하는 것이 가능한 소정 레벨의 전압(예를 들면, 2V)으로 설정된다.

먼저, 선택 워드선의 전압  $V_{WL0}$ 이  $V_{ref}$ 로 설정된 상태에서의 스레시홀드 전압  $V_{th}$ 의 판정이 이루어진다. 여기에서, 메모리 셀 트랜지스터의 스레시홀드 전압  $V_{th}$ 가  $V_{RD7}$ 보다 큰( $V_{th} > V_{RD7}$ ) 경우, 셀 전류가 흐르지 않음에 따라, 노드 SA는  $V_{DD}$  레벨로 유지된다. 이 때, 트랜지스터(N15, N16, N17)가 온된다.

그리고, 일정 시간 경과 후, 펄스형의 신호인 제어 신호( $\phi_{LAT0}$ ,  $\phi_{LAT2}$ ,  $\phi_{LAT6}$ )가 차례로 하이 레벨로 설정된다.

제어 신호( $\phi_{LAT0}$ )가 하이 레벨로 설정되면, 트랜지스터(N18)가 온되고, 이 때 트랜지스터(N15)가 온되어 있음에 따라, 래치 회로(LQ2)의 반전 기억 노드(Q2)가 로 레벨로 설정되고 기억 노드(Q2)가 로 레벨로부터 하이 레벨로 반전된다. 이 때, 래치 회로(LQ2)의 기억 노드(Q2)와 접속된 트랜지스터(N22, N32)의 게이트가 하이 레벨로 된다.

제어 신호( $\phi_{LAT2}$ )가 하이 레벨로 설정되면, 트랜지스터(N24)가 온되고, 이 때 트랜지스터(N23, N22) 및 트랜지스터(N16)가 온되어 있음에 따라, 래치 회로(LQ1)의 반전 기억 노드(Q1)가 로 레벨로 설정되고 기억 노드(Q1)가 로 레벨로부터 하이 레벨로 반전된다. 이 때, 래치 회로(LQ1)의 기억 노드(Q1)와 접속된 트랜지스터(N33)의 게이트가 하이 레벨로 된다.

제어 신호( $\phi_{LAT6}$ )가 하이 레벨로 설정되면, 트랜지스터(N34)가 온되고, 이 때 트랜지스터(N33, N32) 및 트랜지스터(N17)가 온되어 있음에 따라, 래치 회로(LQ0)의 반전 기억 노드(Q0)가 로 레벨로 설정되고 기억 노드(Q0)가 로 레벨로부터 하이 레벨로 반전된다.

이상에 의해, 메모리 셀 트랜지스터의 스레시홀드 전압  $V_{th}$ 가  $V_{RD7}$ 보다 큰( $V_{th} > V_{RD7}$ ) 경우, 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터가 '111'로 반전된다.

한편, 메모리 셀 트랜지스터의 스레시홀드 전압  $V_{th}$ 가  $V_{RD7}$ 보다 작은( $V_{th} < V_{RD7}$ ) 경우, 리크 보상 전류보다 큰 셀 전류가 흘러, 노드 SA의 전압이 강하하여 트랜지스터(HN1, HN3)가 온되고, 비트선(BL0)의 용량 CBL과 노드 SA의 용량 CSA( $< CBL$ )와의 사이에서 전하의 재분배가 일어나, 노드 SA의 전압이 비트선(BL0)의 전압( $V_{DD}-V_{th}-V_{th}$ )과 대략 동일한 정도의 레벨(예를 들면, 1V 정도)로 된다. 그러므로, 제어 신호( $\phi_{LAT0}$ ,  $\phi_{LAT2}$ ,  $\phi_{LAT6}$ )에 의해 트랜지스터(N18, N24, N34)가 온되어도, 트랜지스터(N15, N16, N17)의 게이트가 로 레벨(예를 들면, 1V)로 되어 있기 때문에, 트랜지스터(N15, N16, N17)의 각각의 드레인 소스 간에 고저항의 상태로 되어, 래치 회로(LQ2~LQ0)의 기억 노드(Q2~Q0)를 반전시키는 데 필요한 전류를 흐르게 할 수 없어, 그 결과 리셋 그대로의 로 레벨 상태가 유지된다.

선택 워드선의 전압  $V_{WL0}$ 이  $V_{RD7}$ 로 설정된 상태에서의 스레시홀드 전압  $V_{th}$ 의 판정이 완료되면, 다시 제어 신호  $V_{ref}$ 가 로 레벨로 설정되어 트랜지스터(P1)가 온되어, 비트선(BL0)에 대하여 전원 전압  $V_{DD}$ 에서의 충전이 이루어진다. 비트선(BL0)의 충전이 완료되면, 제어 신호  $V_{ref}$ 가 소정 레벨의 전압(예를 들면, 2V)으로 설정된다.

다음에, 선택 워드선의 전압  $V_{WL0}$ 이  $V_{RD6}$ 으로 설정된 상태에서의 스레시홀드 전압  $V_{th}$ 의 판정이 이루어진다. 여기에서, 메모리 셀 트랜지스터의 스레시홀드 전압  $V_{th}$ 가  $V_{RD6}$ 보다 큰( $V_{th} > V_{RD6}$ ) 경우, 셀 전류가 흐르지 않음에 따라, 노드 SA는  $V_{DD}$  레벨로 유지된다. 이 때, 트랜지스터(N15, N16, N17)가 온된다.

그리고, 일정 시간 경과 후, 펄스형의 신호인 제어 신호( $\phi_{LAT0}$ ,  $\phi_{LAT2}$ )가 차례로 하이 레벨로 설정된다.

제어 신호( $\phi_{LAT0}$ )가 하이 레벨로 설정되면, 트랜지스터(N18)가 온 되고, 이 때 트랜지스터(N15)가 온되어 있음에 따라, 래치 회로(LQ2)의 반전 기억 노드(Q2)가 로 레벨로 설정되고 기억 노드(Q2)가 로 레벨로부터 하이 레벨로 반전한다. 이 때, 래치 회로(LQ2)의 기억 노드(Q2)와 접속된 트랜지스터(N22)의 게이트가 하이 레벨로 된다.

제어 신호( $\phi_{LAT2}$ )가 하이 레벨로 설정되면, 트랜지스터(N24)가 온 되고, 이 때 트랜지스터(N23, N22) 및 트랜지스터(N16)가 온되어 있음에 따라, 래치 회로(LQ1)의 반전 기억 노드(Q1)가 로 레벨로 설정되고 기억 노드(Q1)가 로 레벨로부터 하이 레벨로 반전된다.

이상에 의해, 메모리 셀 트랜지스터의 스레시홀드 전압  $V_{th}$ 가  $V_{RD6}$ 보다 큰( $V_{th} > V_{RD6}$ ) 경우, 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터가 '110'으로 반전된다.

한편, 메모리 셀 트랜지스터의 스레시홀드 전압  $V_{th}$ 가  $V_{RD6}$ 보다 작은( $V_{th} < V_{RD6}$ ) 경우, 리크 보상 전류보다 큰 셀 전류가 흘러, 노드 SA의 전압이 강하하여 트랜지스터(HN1, HN3)가 온되고, 비트선(BL0)의 용량 CBL과 노드 SA의 용량 CSA( $< CBL$ )와의 사이에서 전하의 재분배가 일어나, 노드 SA의 전압이 비트선(BL0)의 전압( $V_{DD}-V_{th}-V_{th}$ )과 대략 동일한 정도의 레벨(예를 들면, 1V 정도)로 된다. 그러므로

로, 제어 신호( $\phi$ LAT0,  $\phi$ LAT2)에 의해 트랜지스터(N18, N24)가 온되어도, 트랜지스터(N15, N16)의 게이트가 로 레벨(예를 들면, 1V)로 되어 있기 때문에, 트랜지스터(N15, N16)의 각각의 드레인 소스 간에 고 저항의 상태로 되어, 래치 회로(LQ2, LQ1)의 기억 노드(Q2, Q1)를 반전시키는 데 필요한 전류를 흐르게 할 수 없어, 그 결과 리셋 그대로의 로 레벨 상태가 유지된다.

선택 워드선의 전압  $V_{WL0}$ 이 VRD6으로 설정된 상태에서의 스레시홀드 전압  $V_{th}$ 의 판정이 완료되면, 다시 제어 신호  $V_{ref}$ 가 로 레벨로 설정되어 트랜지스터(P1)가 온되고, 비트선(BL0)에 대하여 전원 전압  $V_{cc}$ 의 충전이 이루어진다. 비트선(BL0)의 충전이 완료되면, 제어 신호  $V_{ref}$ 가 소정 레벨의 전압(예를 들면, 2V)으로 설정된다.

다음에, 선택 워드선의 전압  $V_{WL0}$ 이 VRD5로 설정된 상태에서의 스레시홀드 전압  $V_{th}$ 의 판정이 이루어진다. 여기에서, 메모리 셀 트랜지스터의 스레시홀드 전압  $V_{th}$ 가 VRD5보다 큰 ( $V_{th} > VRD5$ ) 경우, 셀 전류가 흐르지 않음에 따라, 노드 SA와  $V_{cc}$  레벨로 유지된다. 이 때, 트랜지스터(N15, N16, N17)가 온된다.

여기에서, 래치 데이터에 관해서는 다음의 경우가 고려된다.

- (1)  $V_{th} > VRD7$ 의 경우: 래치 데이터는 '111'
- (2)  $VRD7 > V_{th} > VRD6$ 의 경우: 래치 데이터는 '110'
- (3)  $VRD6 > V_{th} > VRD5$ 의 경우: 래치 데이터는 '0'

여기에서, (3)의 경우에만 래치 회로(LQ2, LQ0)의 노드 반전이 발생하여, 독출 데이터가 '101'이 되도록 할 필요가 있고, 이 때, (1)의 경우나 (2)의 경우에 영향이 없도록 할 필요가 있다.

즉, 이 경우, 일정 시간 경과 후, 펄스형의 신호인 제어 신호( $\phi$ LAT0,  $\phi$ LAT7)가 차례로 하이 레벨로 설정된다.

제어 신호( $\phi$ LAT0)가 하이 레벨로 설정되면, 트랜지스터(N18)가 온 되고, 이 때 트랜지스터(N15)가 온되어 있음에 따라, 래치 회로(LQ2)의 반전 기억 노드(Q2)가 로 레벨로 설정되고 기억 노드(Q2)가 로 레벨로부터 하이 레벨로 반전된다. 이 때, 래치 회로(LQ2)의 기억 노드(Q2)와 접속된 트랜지스터(N32)의 게이트가 하이 레벨로 된다. 또, (1), (2)의 경우, 원래 래치 회로(LQ2)의 기억 노드(Q2)는 하이 레벨로 반전되어 있으므로 영향은 없다.

제어 신호( $\phi$ LAT7)가 하이 레벨로 설정되면, 트랜지스터(N36)가 온 되고, 이 때, (3)의 경우에는, 트랜지스터(N35)가 온되어 있고, 또한 트랜지스터(N32) 및 트랜지스터(N17)가 온되어 있음에 따라, 래치 회로(LQ0)의 반전 기억 노드(Q1)가 로 레벨로 설정되어 기억 노드(Q0)가 로 레벨로부터 하이 레벨로 반전된다. 이 때, (1) 및 (2)의 경우에는, 트랜지스터(N35)가 온되어 있기 때문에, 래치 데이터에 변화는 없다.

이상에 의해, 메모리 트랜지스터의 스레시홀드 전압  $V_{th}$ 가 VRD5보다 큰 ( $V_{th} > VRD5$ ) 경우, 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터가 '101'로 반전된다.

한편, 메모리 셀 트랜지스터의 스레시홀드 전압  $V_{th}$ 가 VRD5보다 작은 ( $V_{th} < VRD5$ ) 경우, 리크 보상 전류보다 큰 셀 전류가 흘러, 노드 SA의 전압이 강하하여 트랜지스터(HN1, HN3)가 온되고, 비트선(BL0)의 용량 CBL과 노드 SA의 용량 CSA( $< CBL$ )와의 사이에서 전하의 재분배가 일어나, 노드 SA의 전압이 비트선(BL0)의 전압( $V_{cc} - V_{th} - V_{th}$ )과 대략 동일한 정도의 로 레벨(예를 들면, 1V 정도)로 된다. 그러므로, 제어 신호( $\phi$ LAT0,  $\phi$ LAT7)에 의해 트랜지스터(N18, N36)가 온되어도, 트랜지스터(N15, N17)의 게이트가 로 레벨(예를 들면, 1V)로 되어 있기 때문에, 트랜지스터(N15, N17)의 각각의 드레인 소스 간에 고 저항의 상태로 되어, 래치 회로(LQ2, LQ0)의 기억 노드(Q2, Q0)를 반전시키는 데 필요한 전류를 흐르게 할 수 없어, 그 결과 리셋 그대로의 로 레벨 상태가 유지된다.

이하, 동일하게 하여, 선택 워드선의 전압  $V_{WL0}$ 이 VRD4로 설정된 상태에서의 스레시홀드 전압  $V_{th}$ 의 판정이 이루어진 경우, 일정 시간 경과 후, 펄스형의 신호인 제어 신호( $\phi$ LAT0)가 하이 레벨로 설정되고, 메모리 셀 트랜지스터의 스레시홀드 전압  $V_{th}$ 가 VRD5 >  $V_{th}$  > VRD4인 경우에만 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터가 '100'으로 반전되도록 제어된다.

선택 워드선의 전압  $V_{WL0}$ 이 VRD3으로 설정된 상태에서의 스레시홀드 전압  $V_{th}$ 의 판정이 이루어진 경우, 일정 시간 경과 후, 펄스형의 신호인 제어 신호( $\phi$ LAT4,  $\phi$ LAT8)가 차례로 하이 레벨로 설정되고, 메모리 셀 트랜지스터의 스레시홀드 전압  $V_{th}$ 가 VRD4 >  $V_{th}$  > VRD3인 경우에만 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터가 '11'으로 반전되도록 제어된다.

선택 워드선의 전압  $V_{WL0}$ 이 VRD2로 설정된 상태에서의 스레시홀드 전압  $V_{th}$ 의 판정이 이루어진 경우, 일정 시간 경과 후, 펄스형의 신호인 제어 신호( $\phi$ LAT4)가 하이 레벨로 설정되고, 메모리 셀 트랜지스터의 스레시홀드 전압  $V_{th}$ 가 VRD3 >  $V_{th}$  > VRD2인 경우에만 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터가 '10'으로 반전되도록 제어된다.

선택 워드선의 전압  $V_{WL0}$ 이 VRD1로 설정된 상태에서의 스레시홀드 전압  $V_{th}$ 의 판정이 이루어진 경우, 일정 시간 경과 후, 펄스형의 신호인 제어 신호( $\phi$ LAT9)가 하이 레벨로 설정되고, 메모리 셀 트랜지스터의 스레시홀드 전압  $V_{th}$ 가 VRD2 >  $V_{th}$  > VRD1인 경우에만 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터가 '1'으로 반전되도록 제어된다.

이와 같이 하여, 통상 독출 동작이 이루어지고, 통상 독출 동작 완료 시에는, 래치 회로(LQ2~LQ0)의 기억 노드(Q2~Q0)의 각각에 메모리 셀 트랜지스터의 스레시홀드 전압  $V_{th}$ 에 따른 출력이 유지된다. 즉, 스레시홀드 전압  $V_{th}$ 가 분포(7)인 경우에는 (Q2, Q1, Q0)=(1, 1, 1)이 되고, 스레시홀드 전압  $V_{th}$ 가 분포(6)인 경우에는 (Q2, Q1, Q0)=(1, 1, 0)이 되고, 스레시홀드 전압  $V_{th}$ 가 분포(5)인 경우에는 (Q2, Q1, Q0)=1, 0, 1이 되고, 스레시홀드 전압  $V_{th}$ 가 분포(4)인 경우에는 (Q2, Q1, Q0)=(1, 0, 0)이 되고, 스레시홀드 전압  $V_{th}$ 가 분포(3)인 경우에는 (Q2, Q1, Q0)=(0, 1, 1)이 되고, 스레시홀드 전압  $V_{th}$ 가 분포(2)인



경우에는 (Q2, Q1, Q0)=(0, 1, 0)이 되고, 스레시홀드 전압  $V_{th}$ 가 분포(1)인 경우에는 (Q2, Q1, Q0)=(0, 0, 1)이 되고, 스레시홀드 전압  $V_{th}$ 가 분포(0)인 경우에는 (Q2, Q1, Q0)=(0, 0, 0)이 된다. 그리고, 이들의 반전 출력이 독출 데이터로서 취출(取出)된다.

전술한 바와 같이 구성된 이 한 실시 형태에 의하면, 기입 동작 시에 실효적인 워드선 전압의 인가 시간을 기입 데이터에 따라 제어하도록 하고 있음에 따라, 다음과 같은 이점을 얻을 수 있다.

즉, 이 한 실시 형태에 의하면, 다치 병렬 기입을 행하는 경우에, 기입 데이터에 따라 설정되는 비트선 전압이, 기입 데이터가 '00x'(x: 0 또는 1)인 경우 0V, 기입 데이터가 '01x'(x: 0 또는 1)인 경우 1.2V, 기입 데이터가 '10x'(x: 0 또는 1)인 경우 1.5V, 기입 데이터가 '110'인 경우 1.5V, 기입 데이터가 '111'인 경우,  $V_{DD}$ 로 되어 있다(도 6 (b) 참조). 이와 동시에, 기입 데이터에 따라 설정되는 실질적인 워드선 전압의 인가 시간인, 기입 데이터가 '0xx'(x: 0 또는 1)인 경우 20  $\mu$ s, 기입 데이터가 '10x'(x: 0 또는 1)인 경우 10  $\mu$ s, 기입 데이터가 '110'인 경우 2  $\mu$ s, 기입 데이터가 '111'인 경우 0  $\mu$ s로 되어 있다(도 6 (c) 참조).

이 경우, 기입 데이터가 '110' 및 '10x'(x: 0 또는 1)인 메모리 셀 트랜지스터에서는, 실질적인 워드선 전압의 펄스폭(실질적인 데이터의 기입 시간)이 실제로 워드선에 워드선 전압이 인가되고 있는 시간보다 짧게 되어 있다. 따라서, 이들의 기입 데이터가 '110' 및 '10x'(x: 0 또는 1)인 메모리 셀 트랜지스터에서는 스레시홀드 전압의 시프트가 늦어져, 실질적으로 비트선 전압이 실제의 전압보다 높은 상태에서 기입을 행하는 것과 동가로 된다.

구체적으로는, 기입 데이터에 따라 설정되는 비트선 전압 및 실질적인 워드선 전압의 펄스폭이, 각각 도 6(b) 및 도 6 (c)와 같이 설정되어 있는 경우, 실질적인 비트선 전압(환산 비트선 전압)은, 모든 데이터의 기입 시간을 20  $\mu$ s로 한 경우로 환산하면, 도 6 (d)에 나타난 바와 같이 되고, 이상적인 비트선 전압과 비트선 전압과의 차는 도 6 (e)에 나타난 바와 같이 된다.

도 6 (e)로부터, 이 한 실시 형태에서는, 기입 데이터가 '101'인 경우에, 이상적인 비트선 전압과 환산 비트선 전압과의 차가 최대가 되고, 그 값은 0.8V인 것을 알 수 있다. 이 경우, 기입 개시 시의 워드선 전압은 이 기입 데이터가 '101'인 메모리 셀 중 기입 속도가 가장 빠른 메모리 셀이 1회째의 기입 사이클로 바로 기입 레벨에 달하는 전압으로 설정하면 되고, 이상적인 전압보다 0.8V만큼 낮은 전압으로 설정하면 된다. 이에 대하여, 기입 데이터에 따라 실질적인 워드선 전압의 펄스폭을 제어하는 것을 행하지 않은 경우(모든 데이터의 기입 시간을 동일(예를 들면, 20  $\mu$ s)하게 설정한 경우, 이상적인 비트선 전압과 실제의 비트선 전압과의 차는 기입 데이터가 '110'인 경우에 최대가 되고, 그 값은 2.1V였다. 따라서, 이 한 실시 형태에 의하면, 이상적인 비트선 전압과 환산 비트선 전압과의 차의 최대치가 0.8V까지 저감되고 있음에 따라, 기입 개시 시의 워드선 전압을 높은 전압으로 설정하는 것이 가능하다.

여기에서, 모든 기입 데이터의 기입이 기입 충분으로 판정될 때까지의 최대 기입 회수  $N_p$  및 최대 기입 시간  $T_p$ 는 8차형의 NAND형 플래시 메모리의 경우,

$$N_p = 1 + (\Delta V_{th0} + \delta V_{pp} + \delta V_{ch} + \delta V_{BL}) / \Delta V_{pp} \quad \dots (1)$$

$$T_p = N_p \times (T_{pulse} + 7 \times T_{vfy}) \quad \dots (2)$$

와 같이 정의된다. 여기에서,

$\Delta V_{th0}$  : 1회째의 기입 사이클 후의, 기입 속도가 가장 빠른 메모리 셀과 가장 늦은 메모리 셀과의 스레시홀드 전압의 차.

$\delta V_{pp}$  : 기입시의 기입 전압  $V_{PM}$ 의 불균일(승압 회로의 변동)

$\delta V_{ch}$  : 비트선 전압의 설정 전압의 불균일

$\delta V_{BL}$  : 본래 인가하고 싶은 비트선 전압과 실제로(또는 실질적으로) 인가되는 비트선 전압과의 차의 최대치

$\Delta V_{pp}$  : ISPP를 사용한 경우의 워드선 전압의 스텝폭

$T_{pulse}$  : 1회의 기입 시간(워드선 전압의 펄스폭)

$T_{vfy}$  : 1 레벨의 베리파이 시간

이다.

(1), (2)식에서, 본 발명이 적용되기 이전의 조건, 예를 들면  $\Delta V_{th0}=2.0V$ ,  $\delta V_{pp}=0.5V$ ,  $\delta V_{ch}=0.1V$ ,  $\delta V_{BL}=3.6-1.5=2.1V$ ,  $\Delta V_{pp}=0.15V$ ,  $T_{pulse}=20 \mu s$ ,  $T_{vfy}=2 \mu s$ 를 대입하고, ISPP를 사용한 경우의 최대 기입 회수  $N_p$  및 최대 기입 시간  $T_p$ 를 구하면,

$$N_p = 1 + \{2.0 + 0.5 + 0.1 + (3.6 - 1.5)\} / 0.15 = 33(\text{회})$$

$$T_p = 33 \times (20 + 7 \times 2) = 1122(\mu s)$$

가 된다.

이에 대하여, 본 발명이 적용된 이 한 실시 형태의 경우,  $\delta V_{BL}=0.8V$ 가 되고, 최대 기입 회수  $N_p$  및 최대 기입 시간  $T_p$ 는,

$$N_p = 1 + \{2.0 + 0.5 + 0.1 + 0.8\} / 0.15 = 24(\text{회})$$

$$T_p = 24 \times (20 + 7 \times 2) = 816(\mu s)$$

가 된다.

이와 같이, 이 한 실시 형태에 의하면, 기입 회수가 대폭 삭감되므로, 기입 시간을 단축할 수 있다.

이상 본 발명의 실시 형태에 대하여 구체적으로 설명했지만, 본 발명은 전술한 실시 형태에 한정되는 것이 아니고, 본 발명의 기술적 사상에 따른 각종의 변형이 가능하다. 예를 들면, 전술한 한 실시 형태에서 든 수치, 구체적으로는 기입 데이터에 따라 설정되는 유효적인 워드선 전압의 펄스폭의 값이나 비트선 전압의 값 등은 일예에 불과하고, 이에 한정되는 것이 아니다.

또, 전술한 한 실시 형태에서의 메모리 셀 어레이(1), 비트선 전압 발생 회로(2), 독출/베리파이 제어 회로(3) 등의 구성은 일예에 불과하고, 예시한 것과 상이한 회로 구성이라도 된다.

또, 전술한 한 실시 형태에서는, 본 발명을 1개의 메모리 셀 트랜지스터에 대하여 3비트로 이루어지고, 8치를 취하는 데이터를 기억하는 NAND형 플래시 메모리에 적용한 경우에 대하여 설명했지만, 본 발명은 1개의 메모리 셀 트랜지스터에 대하여 2비트로 이루어지고, 4치를 취하는 데이터를 기억하는 NAND형 플래시 메모리에 적용하는 것도 가능하다.

#### 발명의 효과

이상, 본 발명에 의한 불휘발성 반도체 기억 장치 및 데이터 기입 방법에 의하면, 기입 동작 시에, 워드선에 펄스형의 워드선 전압을 인가하여 메모리 셀에 데이터의 기입을 행하고, 이 때, 기입 대상인 메모리 셀에 실질적으로 데이터의 기입이 이루어지는 시간에 대응하는 유효적인 워드선 전압의 펄스폭을 기입 데이터에 따라 제어하도록 하고 있음에 따라, 기입 개시 시의 워드선 전압을 높게 설정할 수 있다. 이에 따라, 비트선 전압을 기입 데이터에 따라 변경하여 다치 병렬 기입을 행하는 경우에, 기입 회수를 삭감할 수 있어, 토털 기입 시간을 단축할 수 있다.

#### (57) 청구의 범위

청구항 1. 워드선 및 비트선에의 인가 전압에 따라 전하 축적부에 축적된 전하량이 변화하고, 그 변화에 따라 스레시홀드 전압이 변화하고, 스레시홀드 전압에 따른 값의 데이터를 기억하는 메모리 셀을 가지고,  $n$ 비트( $n \geq 2$ )의 다치(多値) 데이터를 동시에 또한 페이지 단위로 동일한 워드선으로 접속된 메모리 셀에 기입하도록 한 불휘발성 반도체 기억 장치로서,

기입 동작 시에, 워드선에 펄스형의 워드선 전압을 인가하여 메모리 셀에 데이터의 기입을 행하고, 기입 데이터에 따라 메모리 셀로 프로그래밍되는 데이터에 실질적으로 기여하는 유효 펄스폭을 제어하는 기입 제어 수단을 가지는

것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 2. 제1항에 있어서,

매트릭스 형태로 배치되며, 각각 직렬로 연결된 복수의 메모리 셀을 가지며, 그 제1 단과 제2 단이 인가된 게이트 전압에 따라 도통 상태가 제어되는 선택 트랜지스터를 통해 비트선 및 소스선과 접속되며, 동일행의 메모리 셀의 제어 게이트가 공통의 워드선에 의해 접속되며,  $n$ 비트( $n \geq 2$ )의 다치 데이터는 동시에 또한 페이지 단위로 셀프 부스트(self boost) 또는 로컬(local) 셀프 부스트에 의해 동일한 워드선으로 접속된 메모리 셀에 기입되는 복수의 메모리 스트링(memory string)을 추가로 포함하는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 3. 제2항에 있어서,

상기 기입 제어 수단은, 기입 메모리 셀에 접속된 선택 비트선을 기입 데이터에 따른 전압으로 설정하고, 선택 비트선의 전압 설정 타이밍을 기입 데이터에 따라 제어하여, 메모리 셀로 프로그래밍되는 데이터에 실질적으로 기여하는 유효 펄스폭을 제어하도록 하는 비트선 전압 설정 수단을 가지는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 4. 제3항에 있어서,

상기 기입 제어 수단은, 상기 선택 비트선의 전압이 상기 기입 데이터에 따라 설정되는 전압 설정 타이밍을, 상기 기입 데이터의 기입 레벨이 낮은 경우만큼 지연시키는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 5. 제3항에 있어서,

상기 기입 제어 수단은, 소정의 기입 레벨 이상의 데이터가 기입되는 메모리 셀에 대해서는, 상기 워드선 전압의 인가 개시와 동시에 데이터의 기입이 개시되도록, 상기 선택 비트선의 전압 설정 타이밍을 제어하고, 상기 소정의 기입 레벨 미만의 데이터가 기입되는 메모리 셀에 대해서는, 상기 워드선 전압의 인가 개시로부터 소정 시간 경과 후에 데이터의 기입이 개시되도록, 상기 선택 비트선의 전압 설정 타이밍을 제어하는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 6. 제5항에 있어서,

상기 기입 제어 수단은, 상기 소정의 기입 레벨 미만의 데이터가 기입되는 메모리 셀에 대해서는, 상기 워드선 전압의 인가 개시로부터 소정 시간 경과 후에, 기입 레벨이 높은 데이터가 기입되는 메모리 셀로부터 차례로 데이터의 기입이 연속적으로 개시되도록, 상기 선택 비트선의 전압 설정 타이밍을 제어하는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 7. 워드선 및 비트선에의 인가 전압에 따라 전하 축적부에 축적된 전하량이 변화하고, 그 변화에 따라 스레시홀드 전압이 변화하고, 스레시홀드 전압에 따른 값의 데이터를 기억하는 메모리 셀을 가지고,  $n$ 비트( $n \geq 2$ )의 다치 데이터를 동시에 또한 페이지 단위로 메모리 셀에 기입하도록 한 불휘발성 반도체 기억 장치의 데이터 기입 방법으로서,

기입 동작 시에, 워드선에 펄스형의 워드선 전압을 인가하여 메모리 셀에 데이터의 기입을 행하고, 기입 데이터에 따라 메모리 셀로 프로그래밍되는 데이터에 실질적으로 기여하는 유효 펄스폭을 제어하는 단계를 포함하는

것을 특징으로 하는 불휘발성 반도체 기억 장치의 데이터 기입 방법.

청구항 8. 제7항에 있어서,

복수의 메모리 스트링(memory string)은 매트릭스 형태로 배치되며, 각각 직렬로 연결된 복수의 메모리 셀을 가지며, 상기 메모리 스트링의 제1 단과 제2 단은 인가된 게이트 전압에 따라 도통 상태가 제어되는 선택 트랜지스터를 통해 비트선 및 소스선과 접속되며, 동일행의 메모리 셀의 제어 게이트는 공통의 워드선에 의해 접속되며, n비트( $n \geq 2$ )의 다치 데이터는 동시에 또한 페이지 단위로 셀프 부스트(self boost) 또는 로컬(local) 셀프 부스트에 의해 동일한 워드선으로 접속된 메모리 셀에 기입되는 것을 특징으로 하는 불휘발성 반도체 기억 장치의 데이터 기입 방법.

청구항 9. 제8항에 있어서,

기입 메모리 셀에 접속된 선택 비트선을 기입 데이터에 따른 전압으로 설정하는 단계; 및

선택 비트선의 전압 설정 타이밍을 기입 데이터에 따라 제어하여, 메모리 셀로 프로그래밍되는 데이터에 실질적으로 기여하는 유효 펄스폭을 제어하도록 하는 단계

를 추가로 포함하는 것을 특징으로 하는 불휘발성 반도체 기억 장치의 데이터 기입 방법.

청구항 10. 제9항에 있어서,

상기 선택 비트선의 전압이 상기 기입 데이터에 따라 설정되는 전압 설정 타이밍을, 상기 기입 데이터의 기입 레벨이 알은 경우만큼 지연하는 단계를 추가로 포함하는 것을 특징으로 하는 불휘발성 반도체 기억 장치의 데이터 기입 방법.

청구항 11. 제9항에 있어서,

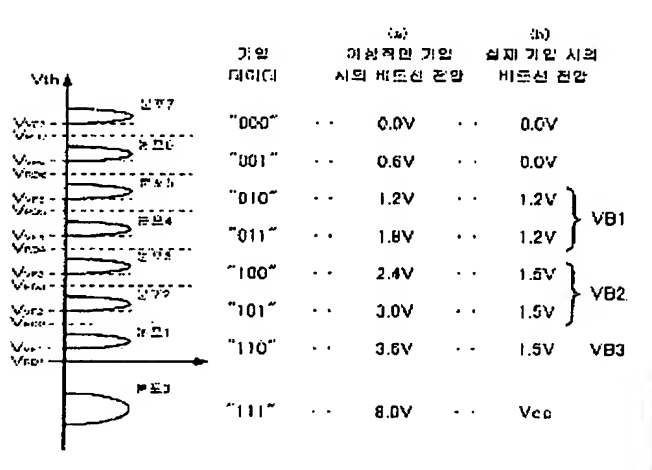
소정의 기입 레벨 이상의 데이터가 기입되는 메모리 셀에 대해서는, 상기 워드선 전압의 인가 개시와 동시에 데이터의 기입이 개시되도록, 상기 선택 비트선의 전압 설정 타이밍을 제어하고, 상기 소정의 기입 레벨 미만의 데이터가 기입되는 메모리 셀에 대해서는, 상기 워드선 전압의 인가 개시로부터 소정 시간 경과 후에 데이터의 기입이 개시되도록, 상기 선택 비트선의 전압 설정 타이밍을 제어하는 단계를 추가로 포함하는 것을 특징으로 하는 불휘발성 반도체 기억 장치의 데이터 기입 방법.

청구항 12. 제11항에 있어서,

상기 소정의 기입 레벨 미만의 데이터가 기입되는 메모리 셀에 대해서는, 상기 워드선 전압의 인가 개시로부터 소정 시간 경과 후에, 기입 레벨이 같은 데이터가 기입되는 메모리 셀로부터 차례로 데이터의 기입이 차례로 개시되도록, 상기 선택 비트선의 전압 설정 타이밍을 제어하는 단계를 추가로 포함하는 것을 특징으로 하는 불휘발성 반도체 기억 장치의 데이터 기입 방법.

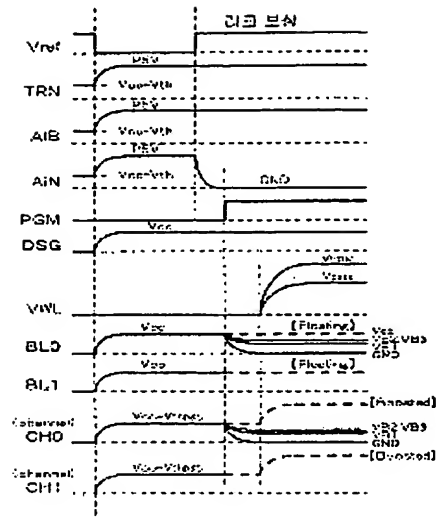
## 도면

도면1

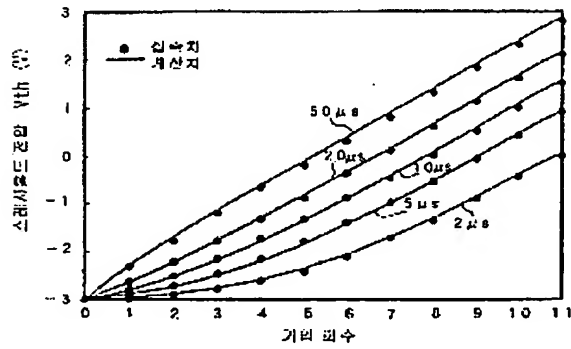




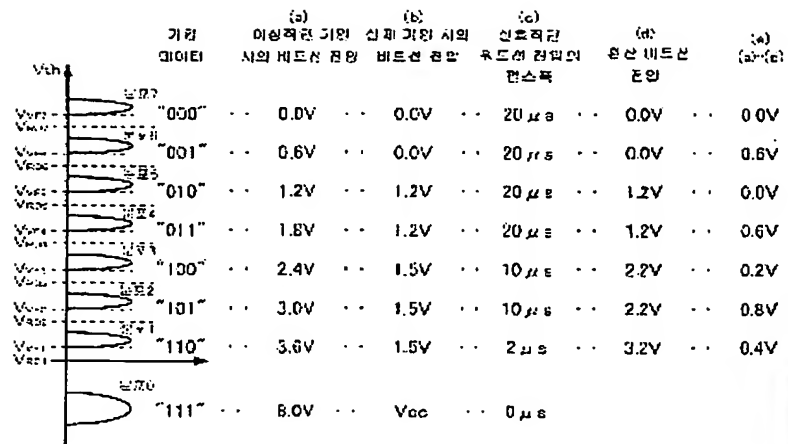
도 B4



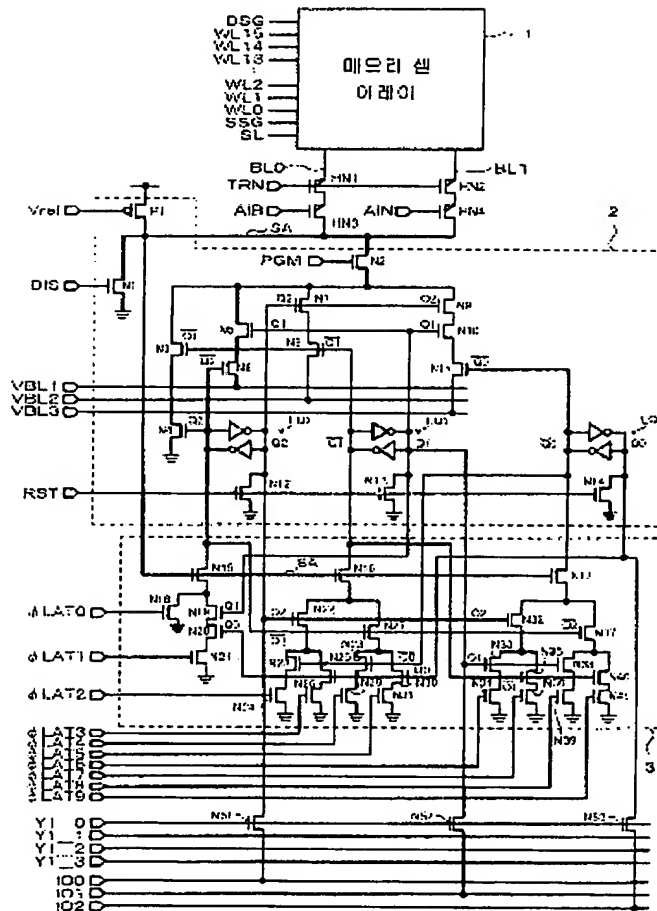
도 B5



도 26



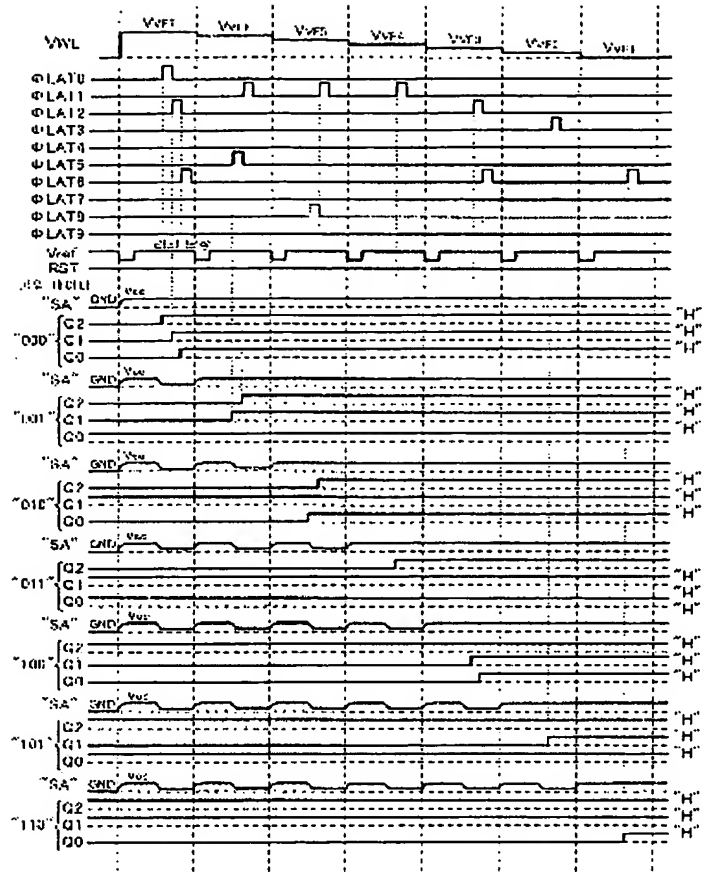
도 27



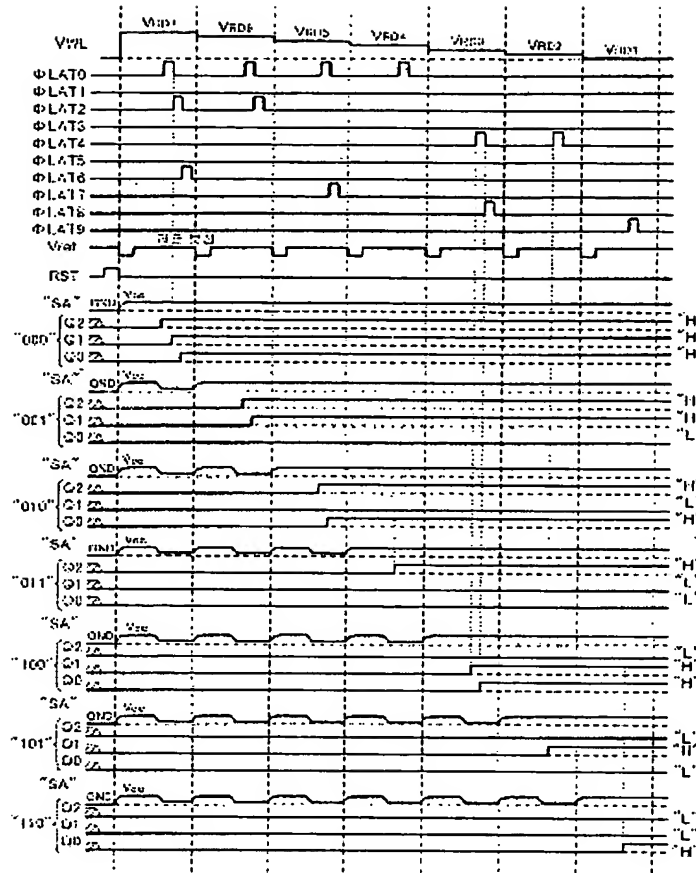




도면 10



도면 11



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-149578

(P2000-149578A)

(43) 公開日 平成12年5月30日 (2000.5.30)

(51) Int.Cl.<sup>7</sup>

G11C 16/02

識別記号

F I

G11C 17/00

テマコード\* (参考)

641

5B025

611E

審査請求 未請求 請求項の数12 O L (全 25 頁)

(21) 出願番号

特願平10-319622

(22) 出願日

平成10年11月10日 (1998.11.10)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 信方 浩美

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100082762

弁理士 杉浦 正知

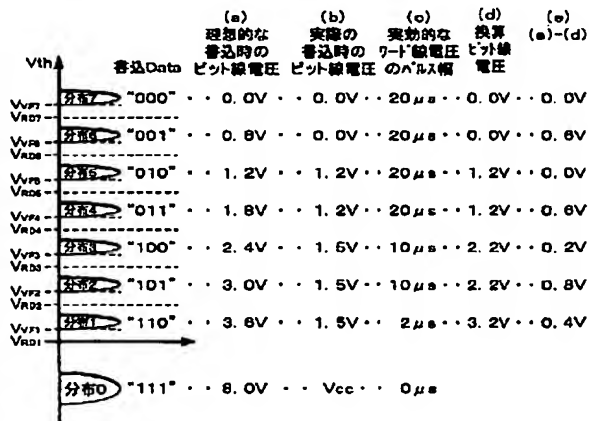
Fターム(参考) 5B025 AA01 AC01 AD03 AD04

(54) 【発明の名称】 不揮発性半導体記憶装置およびそのデータ書き込み方法

(57) 【要約】 (修正有)

【課題】 ビット線電圧を書き込みデータに応じて変えて多値並列書き込みを行う場合に、書き込み時間を短縮する。

【解決手段】 書き込みデータに応じてビット線電圧を設定し、多値並列書き込みを行うようにした8値のNAND型多値フラッシュメモリにおいて、ワード線にパルス状のワード線電圧を印加して書き込みを行い、この際、書き込み対象のメモリセルに実質的にデータの書き込みがなされる時間に対応する実効的なワード線電圧のパルス幅を書き込みデータに応じて制御する。ワード線に印加するワード線電圧のパルス幅は20 $\mu$ sとし、書き込みデータに応じて設定される実効的なワード線電圧のパルス幅は、書き込みデータが「0xx」(x:0または1)の場合、20 $\mu$ s、また同様に「10x」ならば10 $\mu$ s、「110」ならば2 $\mu$ s、「111」ならば0 $\mu$ sとする。



## 【特許請求の範囲】

【請求項1】 ワード線およびビット線への印加電圧に応じて電荷蓄積部に蓄積された電荷量に変化し、その変化に応じてしきい値電圧が変化し、しきい値電圧に応じた値のデータを記憶するメモリセルを有し、 $n$ ビット ( $n \geq 2$ ) の多値データを並列にかつページ単位でメモリセルに書き込むようにした不揮発性半導体記憶装置であって、書き込み動作時に、ワード線にパルス状のワード線電圧を印加してメモリセルにデータの書き込みを行い、この際、書き込み対象のメモリセルに実質的にデータの書き込みがなされる時間に対応する実効的なワード線電圧のパルス幅を書き込みデータに応じて制御するようにした書き込み制御手段を有することを特徴とする不揮発性半導体記憶装置。

【請求項2】 上記不揮発性半導体記憶装置は、上記メモリセルが複数個接続され、その一端および他端がゲート電圧に応じて導通状態が制御される選択トランジスタを介してビット線およびソース線に接続されたメモリストリングが並列に配置されていると共に、同一行のメモリセルの制御ゲートが共通のワード線によって接続されたものであり、セルフブーストまたはローカルセルフブーストを用いて上記 $n$ ビット ( $n \geq 2$ ) の多値データを並列にかつページ単位でメモリセルに書き込むようにしたことを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項3】 上記書き込み制御手段は、上記書き込み動作時に上記書き込み対象のメモリセルと接続された選択ビット線を上記書き込みデータに応じた電圧に設定するビット線電圧設定手段を備え、上記書き込み動作時に、上記選択ビット線を上記書き込みデータに応じた電圧に設定するタイミングを上記書き込みデータに応じて制御することにより、上記実効的なワード線電圧のパルス幅を制御し、この際、上記実効的なワード線電圧のパルス幅を実際にワード線に印加するワード線電圧のパルス幅より短く設定する場合には、上記選択ビット線を上記メモリストリングと上記ビット線との間の上記選択トランジスタをカットオフさせる電圧に設定し、上記ワード線電圧の印加開始と共に上記書き込み対象のメモリセルのチャネルをワード線との容量結合によって非書き込み電位に昇圧させ、所定時間経過後に、上記選択ビット線の設定電圧を上記書き込みデータに応じた電圧に切り換えて、上記書き込み対象のメモリセルのチャネルを上記選択ビット線を介して上記書き込みデータに応じた電圧に放電させることにより、上記書き込み対象のメモリセルに対して実質的なデータの書き込みが開始されるような制御を行うようにしたことを特徴とする請求項2記載の不揮発性半導体記憶装置。

【請求項4】 上記書き込み制御手段は、上記選択ビット線を上記書き込みデータに応じた電圧に設定するタイ

ミングを、上記書き込みデータの書き込みレベルが浅い場合ほど遅らせるようにしたことを特徴とする請求項3記載の不揮発性半導体記憶装置。

【請求項5】 上記書き込み制御手段は、上記書き込み対象のメモリセルのうち、所定の書き込みレベル以上のデータが書き込まれるメモリセルに対しては、上記ワード線電圧の印加開始と同時にデータの書き込みが開始されるように、上記選択ビット線を上記書き込みデータに応じた電圧に設定するタイミングを制御し、上記所定の書き込みレベル未満のデータが書き込まれるメモリセルに対しては、上記ワード線電圧の印加開始から所定時間経過後にデータの書き込みが開始されるように、上記選択ビット線を上記書き込みデータに応じた電圧に設定するタイミングを制御するようにしたことを特徴とする請求項3記載の不揮発性半導体記憶装置。

【請求項6】 上記書き込み制御手段は、上記所定の書き込みレベル未満のデータが書き込まれるメモリセルに対しては、上記ワード線電圧の印加開始から所定時間経過後に、書き込みレベルの深いデータが書き込まれるメモリセルから順次データの書き込みが開始されるように、上記選択ビット線を上記書き込みデータに応じた電圧に設定するタイミングを制御するようにしたことを特徴とする請求項5記載の不揮発性半導体記憶装置。

【請求項7】 ワード線およびビット線への印加電圧に応じて電荷蓄積部に蓄積された電荷量に変化し、その変化に応じてしきい値電圧が変化し、しきい値電圧に応じた値のデータを記憶するメモリセルを有し、 $n$ ビット ( $n \geq 2$ ) の多値データを並列にかつページ単位でメモリセルに書き込むようにした不揮発性半導体記憶装置のデータ書き込み方法であって、書き込み動作時に、ワード線にパルス状のワード線電圧を印加してメモリセルにデータの書き込みを行い、この際、書き込み対象のメモリセルに実質的にデータの書き込みがなされる時間に対応する実効的なワード線電圧のパルス幅を書き込みデータに応じて制御するようにしたことを特徴とする不揮発性半導体記憶装置のデータ書き込み方法。

【請求項8】 上記不揮発性半導体記憶装置は、上記メモリセルが複数個接続され、その一端および他端がゲート電圧に応じて導通状態が制御される選択トランジスタを介してビット線およびソース線に接続されたメモリストリングが並列に配置されていると共に、同一行のメモリセルの制御ゲートが共通のワード線によって接続されたものであり、セルフブーストまたはローカルセルフブーストを用いて上記 $n$ ビット ( $n \geq 2$ ) の多値データを並列にかつページ単位でメモリセルに書き込むようにしたことを特徴とする請求項7記載の不揮発性半導体記憶装置のデータ書き込み方法。

【請求項9】 上記書き込み動作時に、上記書き込み対象のメモリセルと接続された選択ビット線を上記書き込みデータに応じた電圧に設定して書き込みを行うと共に

に、上記選択ビット線を上記書き込みデータに応じた電圧に設定するタイミングを上記書き込みデータに応じて制御することにより、上記実効的なワード線電圧のパルス幅を制御し、この際、上記実効的なワード線電圧のパルス幅を実際にワード線に印加するワード線電圧のパルス幅より短く設定する場合には、上記選択ビット線を上記メモリストリングと上記ビット線との間の上記選択トランジスタをカットオフさせる電圧に設定し、上記ワード線電圧の印加開始と共に上記書き込み対象のメモリセルのチャネルをワード線との容量結合によって非書き込み電位に昇圧させ、所定時間経過後に、上記選択ビット線の設定電圧を上記書き込みデータに応じた電圧に切り換えて、上記書き込み対象のメモリセルのチャネルを上記選択ビット線を介して上記書き込みデータに応じた電圧に放電させることにより、上記書き込み対象のメモリセルに対して実質的なデータの書き込みが開始されるようにしたことを特徴とする請求項8記載の不揮発性半導体記憶装置のデータ書き込み方法。

【請求項10】 上記選択ビット線を上記書き込みデータに応じた電圧に設定するタイミングを、上記書き込みデータの書き込みレベルが浅い場合ほど遅らせるようにしたことを特徴とする請求項9記載の不揮発性半導体記憶装置のデータ書き込み方法。

【請求項11】 上記書き込み対象のメモリセルのうち、所定の書き込みレベル以上のデータが書き込まれるメモリセルに対しては、上記ワード線電圧の印加開始と同時にデータの書き込みが開始されるように、上記選択ビット線を上記書き込みデータに応じた電圧に設定するタイミングを制御し、上記所定の書き込みレベル未満のデータが書き込まれるメモリセルに対しては、上記ワード線電圧の印加開始から所定時間経過後にデータの書き込みが開始されるように、上記選択ビット線を上記書き込みデータに応じた電圧に設定するタイミングを制御するようにしたことを特徴とする請求項9記載の不揮発性半導体記憶装置のデータ書き込み方法。

【請求項12】 上記所定の書き込みレベル未満のデータが書き込まれるメモリセルに対しては、上記ワード線電圧の印加開始から所定時間経過後に、書き込みレベルの深いデータが書き込まれるメモリセルから順次データの書き込みが開始されるように、上記選択ビット線を上記書き込みデータに応じた電圧に設定するタイミングを制御するようにしたことを特徴とする請求項11記載の不揮発性半導体記憶装置のデータ書き込み方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、不揮発性半導体記憶装置およびそのデータ書き込み方法に関し、特に、1つのメモリセルに2ビット以上の多値データを記憶する多値型の不揮発性半導体記憶装置およびそのデータ書き込みに適用して好適なものである。

【0002】

【従来の技術】近年、各種記録装置やハードディスク装置に比べて電気的特性に優れたフラッシュメモリが映像・音声機器や携帯用情報機器等における記録媒体として普及しつつある。フラッシュメモリは、電氣的書き換え可能な不揮発性半導体記憶装置であり、大別してそのメモリセルの接続関係および構造からNOR型とNAND型とに分けられる。また、フラッシュメモリ等の不揮発性半導体記憶装置においては、1個のメモリセルに対して「0」、「1」の2つの値をとるデータを記憶する2値型のものが通常であるが、最近では、半導体記憶装置の大容量化の要求に伴い、1個のメモリセルに3値以上（2ビット以上）の多値データを記憶するいわゆる多値型の不揮発性半導体記憶装置が提案されている。

【0003】そのような多値型の不揮発性半導体記憶装置としては、例えば、1個のメモリセルトランジスタに2ビットからなり4値をとるデータを記憶する4値型のNAND型フラッシュメモリや、1個のメモリセルトランジスタに3ビットからなり8値をとるデータを記憶する8値型のNAND型フラッシュメモリなどがある。図8に、8値型のNAND型フラッシュメモリにおけるメモリセルトランジスタのしきい値電圧 $V_{th}$ の分布とデータ内容との対応関係を示す。図8において、グラフの縦軸はメモリセルトランジスタのしきい値電圧 $V_{th}$ を示し、グラフの横軸はメモリセルトランジスタの分布頻度を示す。

【0004】図8に示すように、8値型のNAND型フラッシュメモリにおいて、メモリセルトランジスタのしきい値電圧 $V_{th}$ は、「000」、「001」、「010」、「011」、「100」、「101」、「110」、「111」の各データ内容に対応する8状態（分布7～分布0）をとる。図8中、 $V_{VF1}$ 、 $V_{VF2}$ 、 $V_{VF3}$ 、 $V_{VF4}$ 、 $V_{VF5}$ 、 $V_{VF6}$ 、 $V_{VF7}$ は各状態に対応するペリフェイ動作における読み出し時の選択ワード線電圧を表し、 $V_{RD1}$ 、 $V_{RD2}$ 、 $V_{RD3}$ 、 $V_{RD4}$ 、 $V_{RD5}$ 、 $V_{RD6}$ 、 $V_{RD7}$ は各状態に対応する通常読み出し動作における選択ワード線電圧を表す。その大小関係は、 $V_{VF7} > V_{RD7} > V_{VF6} > V_{RD6} > V_{VF5} > V_{RD5} > V_{VF4} > V_{RD4} > V_{VF3} > V_{RD3} > V_{VF2} > V_{RD2} > V_{VF1} > V_{RD1}$ とされ、一例を挙げると、 $V_{VF7} = 3.8V$ 、 $V_{RD7} = 3.6V$ 、 $V_{VF6} = 3.2V$ 、 $V_{RD6} = 3.0V$ 、 $V_{VF5} = 2.6V$ 、 $V_{RD5} = 2.4V$ 、 $V_{VF4} = 2.0V$ 、 $V_{RD4} = 1.8V$ 、 $V_{VF3} = 1.4V$ 、 $V_{RD3} = 1.2V$ 、 $V_{VF2} = 0.8V$ 、 $V_{RD2} = 0.6V$ 、 $V_{VF1} = 0.2V$ 、 $V_{RD1} = 0V$ である。

【0005】ところで、一般に、多値型のNAND型フラッシュメモリにおいては、メモリセルへのデータの書き込み方法として、書き込みデータに応じてビット線電圧を変えて、多値データを一括（並列）に書き込む、いわゆる多値並列書き込みがその書き込み動作の高速化を

図の観点から採用される。この8値型のNAND型フラッシュメモリの場合、理想的には、図8(a)に示すように、例えば、書き込みデータが「000」の場合のビット線電圧を0Vに、書き込みデータが「001」の場合のビット線電圧を0.6Vに、書き込みデータが「010」の場合のビット線電圧を1.2Vに、書き込みデータが「011」の場合のビット線電圧を1.8Vに、書き込みデータが「100」の場合のビット線電圧を2.4Vに、書き込みデータが「101」の場合のビット線電圧を3.0Vに、書き込みデータが「110」の場合のビット線電圧を3.6Vに、書き込みデータが「111」の場合のビット線電圧を8.0Vに設定すれば、書き込みレベルの異なる全てのデータの書き込みをほぼ同時に終了させることが可能である。

#### 【0006】

【発明が解決しようとする課題】しかしながら、実際のNAND型フラッシュメモリの書き込み動作においては、省電力化および素子面積の低減を図る観点から、いわゆるセルフブーストまたはローカルセルフブーストという手法が用いられる。

【0007】ここで、図9を参照して、セルフブーストを用いた書き込み方法について説明する。NAND型フラッシュメモリにおけるメモリセルは、フローティングゲート(FG)およびコントロールゲート(CG)を有するMOSトランジスタにより構成されている。そして、このメモリセルトランジスタが所定の複数個直列に接続されたものによりメモリストリングが構成されている。NAND型フラッシュメモリのメモリセルアレイにおいては、メモリストリングが複数個並列に配置され、同一行のメモリセルトランジスタが共通のワード線によって接続されている。図9に示す例では、8個の直列に接続されたメモリセルトランジスタ $M_0 \sim M_7$ によって一つのメモリストリングが構成されている。メモリストリングの一端(メモリセルトランジスタ $M_7$ のドレイン)は選択トランジスタDSを介してビット線BLと接続され、メモリストリングの他端(メモリセルトランジスタ $M_0$ のソース)は選択トランジスタSSを介してソース線SLと接続されている。そして、メモリセルトランジスタ $M_0 \sim M_7$ のコントロールゲートがそれぞれワード線WL0~WL7と接続され、選択トランジスタDSのゲートがドレイン側選択ゲート線DSGと接続され、選択トランジスタSSのゲートがソース側選択ゲート線SSGと接続されている。

【0008】セルフブーストを用いた書き込み方法においては、ドレイン側選択ゲート線DSGの電圧が $V_{cc}$ レベルに設定されると共に、ソース側選択ゲート線SSGの電圧がGNDレベルに設定される。そして、アドレスデコード信号によって書き込み対象とされるメモリストリングが選択されると、選択されたメモリストリングと接続されたビット線が書き込みデータに応じた電圧VBL

に設定されると共に、非選択のメモリストリングと接続されたビット線がプリチャージレベルのままフローティング状態にされる。この後、書き込み対象ページとされた選択ワード線(図9に示す例ではワード線WL4)が所定の書き込み電圧VPGMに設定されると共に、それ以外の非選択ワード線が書き込みバス電圧Vpass(<VPGM)に設定され、書き込み対象のメモリセルトランジスタにデータの書き込みがなされる。

【0009】このとき、書き込みデータが消去状態と同じ(書き込みデータが「111」)のメモリセルトランジスタのチャネルおよび非選択側のメモリストリングのメモリセルトランジスタのチャネルは、そのメモリストリングのドレイン側の選択トランジスタDSによって対応するビット線BLから切り離され、ワード線(主に非選択ワード線)との容量結合により非書き込み電位にブーストされる。

【0010】しかしながら、セルフブーストまたはローカルセルフブーストを用いた書き込み方法では、上述したように、ドレイン側選択ゲート線DSGが $V_{cc}$ レベルに設定されるため、ビット線BLを介してメモリストリングのメモリセルトランジスタのチャネルに供給できる電圧は、メモリストリングのドレイン側の選択トランジスタDSによって $V_{cc} - V_{thDSG}$ ( $V_{thDSG}$ は選択トランジスタDSのしきい値電圧)に制限される。したがって、書き込み時にビット線BLに印加できる電圧の上限は、 $V_{cc} - V_{thDSG}$ からマージンを見た電圧、例えば1.5Vとなる。

【0011】また、多値型のNAND型フラッシュメモリにおいては、書き込み速度の点からは、書き込みデータに応じて設定されるビット線電圧が書き込みデータと1対1に対応していることが望ましい。しかしながら、8値型のNAND型フラッシュメモリにおいては、8値のラッチ回路をビット線数分のピッチに収める必要があるため、現実的には、書き込みデータが「00x」(x:0または1)の場合のビット線電圧を0V、書き込みデータが「01x」(x:0または1)の場合のビット線電圧をVB1、書き込みデータが「10x」(x:0または1)の場合のビット線電圧をVB2、書き込みデータが「110」の場合の電圧をVB3、書き込みデータが「111」の場合のビット線電圧を $V_{cc}$ (ただし、VB1, VB2, VB3は0Vより大きく $V_{cc}$ より小さい電圧)といった具合に、複数のデータに対して1つのビット線電圧を設定することが行われている。

【0012】したがって、これまで、8値型のNAND型フラッシュメモリにおける実際の書き込み時には、例えば図8(b)に示すように、書き込みデータが「00x」(x:0または1)の場合のビット線電圧が0Vに、書き込みデータが「01x」(x:0または1)の場合のビット線電圧が1.2Vに、書き込みデータが

「10x」(x: 0または1)の場合のビット線電圧が1.5Vに、書き込みデータが「110」の場合のビット線電圧が1.5Vに、書き込みデータが「111」の場合のビット線電圧が $V_{cc}$ に設定され、これによって多値並列書き込みが行われている。

【0013】以下に、図面を参照して、多値並列書き込みを行うようにした8値型のNAND型フラッシュメモリの構成およびその書き込み動作について説明する。

【0014】図10は、先に本願出願人により提案されている8値型のNAND型フラッシュメモリの主要部を示す。図10において、符号101はメモリセルアレイを示し、符号102はビット線電圧発生回路を示す。

【0015】図10に示すように、メモリセルアレイ101は、例えば、フローティングゲート(FG)およびコントロールゲート(CG)を有し、それぞれが3ビットのメモリセルとして機能するMOSトランジスタ(メモリセルトランジスタ)がマトリクス状に配置されたものであり、同一行のメモリセルトランジスタのコントロールゲートが共通のワード線 $WL_0 \sim WL_{15}$ に接続されたメモリストリング $A_0 \sim A_n$ により構成されている。なお、図10においては、メモリストリング $A_2$ 以降が図示省略されている。

【0016】メモリストリングは、メモリセルトランジスタが直列に複数個接続されたものである。メモリストリング $A_0$ は、メモリセルトランジスタ $M_{0-0} \sim M_{15-0}$ により構成されている。メモリセルトランジスタ $M_{15-0}$ のドレインが選択トランジスタ $DS_0$ のソースと接続され、選択トランジスタ $DS_0$ のドレインがビット線 $BL_0$ と接続されている。一方、メモリセルトランジスタ $M_{0-0}$ のソースが選択トランジスタ $SS_0$ のドレインと接続され、選択トランジスタ $SS_0$ のソースがソース線 $SL$ と接続されている。また、メモリセルトランジスタ $M_{0-0} \sim M_{15-0}$ のコントロールゲートが、それぞれワード線 $WL_0 \sim WL_{15}$ と接続されている。同様に、メモリストリング $A_1$ は、メモリセルトランジスタ $M_{0-1} \sim M_{15-1}$ により構成されている。メモリセルトランジスタ $M_{15-1}$ のドレインが選択トランジスタ $DS_1$ のソースと接続され、選択トランジスタ $DS_1$ のドレインがビット線 $BL_1$ と接続されている。一方、メモリセルトランジスタ $M_{0-1}$ のソースが選択トランジスタ $SS_1$ のドレインと接続され、選択トランジスタ $SS_1$ のソースがソース線 $SL$ と接続されている。また、メモリセルトランジスタ $M_{0-1} \sim M_{15-1}$ のコントロールゲートが、それぞれワード線 $WL_0 \sim WL_{15}$ と接続されている。このようにメモリストリング $A_0, A_1$ と各線とが接続され、他のメモリストリング $A_2 \sim A_n$ に関しても同様の接続関係とされている。したがって、メモリストリング $A_0 \sim A_n$ の一端は、選択トランジスタ $DS_0 \sim DS_n$ を介してビット線 $BL_0 \sim BL_n$ と接続され、メモリストリング $A_0 \sim A_n$ の他端は、選択トランジスタ $SS_0 \sim SS_n$

を介してソース線 $SL$ と接続されている。そして、選択トランジスタ $DS_0 \sim DS_n$ のゲートが共通のドレイン側選択ゲート線 $DSG$ と接続され、選択トランジスタ $SS_0 \sim SS_n$ のゲートが共通のソース側選択ゲート線 $SSG$ と接続されている。メモリセルアレイ101においては、上述のようなメモリストリング $A_0 \sim A_n$ が並列に配置されている。

【0017】ビット線 $BL_0$ および $BL_1$ に対応して設けられているビット線電圧発生回路102は、 $n$ チャネルMOSトランジスタからなるトランジスタ $N101 \sim N111$ 、インバータの入出力同士を結合してなるラッチ回路 $LQ_2, LQ_1, LQ_0$ および $p$ チャネルMOSトランジスタからなるトランジスタ $P101$ により構成されている。また、ビット線電圧発生回路102からは、所定の定電圧源と接続されたビット線電圧供給ライン $VBL_1, VBL_2, VBL_3$ が導出されている。このNAND型フラッシュメモリにおいては、ラッチ回路 $LQ_2 \sim LQ_0$ を含む1つのビット線電圧発生回路102に対して2本のビット線が選択的に接続される構成(ビット線shared)を採っている。なお、ビット線 $BL_2$ 以降に対応するビット線電圧発生回路も同様の構成とされており、これらの部分に関する説明は、説明を簡単とするため省略する。

【0018】ビット線電圧発生回路102により、書き込み時に、書き込みデータに応じたビット線電圧が発生され、そのビット線電圧がビット線 $BL_0, BL_1$ を通じてメモリセルアレイ101のメモリセルトランジスタのチャネルに与えられる。

【0019】ビット線 $BL_0$ とノード $SA$ との間には、高耐圧の $n$ チャネルMOSトランジスタからなるトランジスタ $HN101$ および $HN103$ が直列に接続されている。また、ビット線 $BL_1$ とノード $SA$ との間には、高耐圧の $n$ チャネルMOSトランジスタからなるトランジスタ $HN102$ および $HN104$ が直列に接続されている。トランジスタ $HN101, HN102$ のゲートに共通の制御信号 $TRN$ が供給される。トランジスタ $HN103$ のゲートにアドレスデコード信号 $A_i B$ が供給され、トランジスタ $HN104$ のゲートにアドレスデコード信号 $A_i N$ が供給される。

【0020】ビット線電圧発生回路102においては、ノード $SA$ と電源電圧 $V_{cc}$ ( $V_{cc}$ は例えば3.3V)の供給ラインとの間にトランジスタ $P101$ が接続されている。トランジスタ $P101$ のゲートには制御信号 $V_{ref}$ が供給される。また、ノード $SA$ と接地ラインとの間にトランジスタ $N101$ が接続されている。トランジスタ $N101$ のゲートには制御信号 $DIS$ が供給される。

【0021】また、ビット線電圧発生回路102においては、トランジスタ $N102$ のドレインがノード $SA$ と接続されている。トランジスタ $N102$ のソースがトランジスタ $N103, N105, N107, N109$ のド



ラインと接続されている。トランジスタN102のゲートには制御信号PGMが供給される。

【0022】トランジスタN102のソースと接地ラインとの間にトランジスタN103、N104が直列に接続されている。トランジスタN102のソースとビット線電圧供給ラインVBL1との間にトランジスタN105、N106が直列に接続されている。トランジスタN102のソースとビット線電圧供給ラインVBL2との間にトランジスタN107、N108が直列に接続されている。トランジスタN102のソースとビット線電圧供給ラインVBL3との間にトランジスタN109、N110、N111が直列に接続されている。

【0023】ラッチ回路LQ2、LQ1、LQ0はそれぞれ記憶ノードQ2、Q1、Q0と、その反転記憶ノード/Q2、/Q1、/Q0とを有している。なお、/は反転を示すバーを意味している。

【0024】ラッチ回路LQ2の反転記憶ノード/Q2はトランジスタN104、N106のゲートと接続され、記憶ノードQ2はトランジスタN107、N109のゲートと接続されている。ラッチ回路LQ1の反転記憶ノード/Q1はトランジスタN103、N108のゲートと接続され、記憶ノードQ1はトランジスタN105、N110のゲートと接続されている。ラッチ回路LQ0の反転記憶ノード/Q0はトランジスタN111のゲートと接続されている。

【0025】次に、この8値型のNAND型フラッシュメモリの書き込み動作について、図11のタイミングチャートを参照して説明する。

【0026】書き込み動作の前には、制御信号PGMがローレベル（GNDレベル）に設定されてトランジスタN102がオフされ、ビット線BL0、BL1と書き込み制御回路102とが切り離されている。そして、制御信号DISがハイレベル（Vccレベル）に、制御信号TRNおよびアドレスデコード信号AiB、AiNが（ $V_{cc}-V_{th}$ ）レベルに設定されている。このときトランジスタHN101、HN102、HN103、HN104およびトランジスタN101がオンしていることにより、全ビット線は接地されている。また、ビット線電圧供給ラインVBL1は電圧VB1に、ビット線電圧供給ラインVBL2は電圧VB2に、ビット線電圧供給ラインVBL3は電圧VB3に設定されている。これらの電圧VB1、VB2、VB3は0Vより大きく $V_{cc}$ より小さい電圧であり、一例をあげると、電圧VB1=1.2V、電圧VB2=1.5V、電圧VB3=1.5Vである。

【0027】この状態で書き込みが起動された場合には、書き込みデータがデータバスを介してビット線電圧発生回路102のラッチ回路LQ2、LQ1、LQ0に供給され、そして、その書き込みデータがラッチ回路LQ2、LQ1、LQ0に取り込まれて保持される。その

後、制御信号DISがローレベルに切り換えられ、ビット線BL0、BL1が接地ラインと切り離される。そして、制御信号TRNおよびアドレスデコード信号AiB、AiNが $V_{cc}$ 以上の所定のハイレベル、例えばP5V（読み出し時のバス電圧で5～6V程度の電圧）レベルに設定されると共に、制御信号Vrefがローレベル（GNDレベル）に設定される。これにより、全ビット線が $V_{cc}$ に充電される。また、メモリセルアレイ101のドレイン側選択ゲート線DSGが $V_{cc}$ レベルに、ソース側選択ゲート線SSGがGNDレベルに設定される。メモリストリングA0のメモリセルトランジスタのチャネルCH0およびメモリストリングA1のメモリセルトランジスタのチャネルCH1は、（ $V_{cc}-V_{thDSG}$ ）に充電される。 $V_{thDSG}$ は選択トランジスタDS0、DS1のしきい値電圧である。

【0028】その後、アドレスデコード信号AiB、AiNで書き込み対象とされるメモリストリングが選択される。ここでは、例えば、メモリストリングA0が書き込み対象として選択されている場合について説明する。この場合、制御信号Vrefがビット線BL0などのリーク電流を補償するだけの電流をトランジスタP101が流すことが可能な所定レベルの電圧（例えば2V）に設定される。また、アドレスデコード信号AiNがローレベル（GNDレベル）に設定され、トランジスタHN104がオフ状態に切り換えられ、非選択側のビット線BL1が $V_{cc}$ に充電された状態でフローティング状態に保持され、メモリストリングA1のメモリセルトランジスタのチャネルCH1が（ $V_{cc}-V_{thDSG}$ ）に保持される。

【0029】そして、一定時間経過後、制御信号PGMがハイレベルに設定されてトランジスタN102がオンに切り換えられる。このことで、選択ビット線BL0とビット線電圧発生回路102とが接続され、選択ビット線BL0が書き込みデータに応じた電圧に設定される。

【0030】書き込みデータが「00x」（x：0または1）の場合には、トランジスタN103、N104がオンし、図10においてPATH1で示される電流路が形成され、ビット線BL0は接地ラインと接続される。したがって、ビット線BL0およびメモリストリングA0のメモリセルトランジスタのチャネルCH0はGNDレベルに放電される。

【0031】書き込みデータが「01x」（x：0または1）の場合には、トランジスタN105、N106がオンし、図10においてPATH2で示される電流路が形成され、ビット線BL0はビット線電圧供給ラインVBL1と接続される。したがって、ビット線BL0およびメモリストリングA0のメモリセルトランジスタのチャネルCH0は電圧VB1（=1.2V）に放電される。

【0032】書き込みデータが「10x」（x：0また

は1)の場合には、トランジスタN107, N108がオンし、図10においてPATH3で示される電流路が形成され、ビット線BL0はビット線電圧供給ラインVBL2と接続される。したがって、ビット線BL0およびメモリストリングA0のメモリセルトランジスタのチャネルCH0は電圧VB2 (= 1.5V) に放電される。

【0033】書き込みデータが「110」(x:0または1)の場合には、トランジスタN109, N110, N111がオンし、図10においてPATH4で示される電流路が形成され、ビット線BL0はビット線電圧供給ラインVBL3と接続される。したがって、ビット線BL0およびメモリストリングA0のメモリセルトランジスタのチャネルCH0は電圧VB3 (= 1.5V) に放電される。

【0034】なお、書き込みデータが「111」の場合には、電流路が形成されず、ビット線BL0は、接地ラインおよびビット線供給ラインVBL1~VBL3のいずれにも接続されない。したがって、ビット線BL0はVccに充電された状態でフローティング状態にされ、メモリストリングA0のメモリセルトランジスタのチャネルCH0は $V_{cc} - V_{thDSG}$ に保持される。

【0035】上述したように選択されたメモリストリングA0と接続されている選択ビット線BL0が書き込みデータに応じた電圧に設定された後、ワード線WL0~WL15のうち、書き込み対象ページとされる選択ワード線が書き込み電圧VPGMに設定されると共に、それ以外の非選択ワード線が書き込みパス電圧Vpass (< VPGM) に設定され、所定のメモリセルトランジスタに対して書き込みがなされる。

【0036】このとき、書き込みデータが「111」以外のメモリセルトランジスタにおいては、選択ワード線に印加されたワード線電圧(書き込み電圧VPGM)とメモリセルトランジスタのチャネル電圧との電界によりファウラーノードハイムトンネリング(Fowler-Nordheim Tunneling: 以後FNトンネリング)現象が起こり、データの書き込みがなされる。また、書き込みデータが「111」のメモリセルトランジスタのチャネルおよび非選択側のメモリストリングA1のメモリセルトランジスタのチャネルCH1は、ドレイン側の選択トランジスタDS0, DS1によってビット線BL0, BL1から切り離され、ワード線との容量結合により非書き込み電位にブーストされ、これらのメモリセルトランジスタにはデータの書き込みがなされないようになっている。

【0037】上述のように構成された8値型のNAND型フラッシュメモリにおいては、書き込みレベルの異なる書き込みデータが並列に書き込まれるため、各レベルの書き込みデータをステップ毎に書き込む場合に比べて書き込み時間が短縮されるという利点がある。

【0038】ところで、通常、NAND型フラッシュメ

モリにおいては、書き込み動作時に、選択ワード線に対して所定のパルス幅を有するパルス状のワード線電圧(書き込みパルス)を印加し、この書き込みサイクルを繰り返し行うことにより、メモリセルに対してデータを小刻みに分割して書き込むようなことが行われている。このような書き込みを行う場合には、書き込み回数の削減を図る観点から、書き込み開始時のワード線電圧を所定の初期電圧に設定し、徐々に所定のステップ幅で段階的にワード線電圧を増加させながら書き込みを順次行うISPP(Incremental Step Pulse Programming)と称される方法が用いられる。

【0039】しかしながら、上述した8値型のNAND型フラッシュメモリにおいて、多値並列書き込みを行う場合は、理想的なビット線電圧と実際のビット線電圧との差が最も大きい、書き込みデータが「110」のメモリセルトランジスタが過剰書き込みとならないように、書き込み開始時のワード線電圧を、この書き込みデータが「110」のメモリセルのうち書き込み速度が最も速いメモリセルが1回目の書き込みで丁度書き込みレベルに達するような電圧に設定する必要がある。この場合、ワード線電圧の初期値が、理想的な電圧よりも書き込みデータが「110」の場合の理想的なビット線電圧と実際のビット線電圧との差分だけ低い電圧に設定された状態から書き込みが開始されるため、データ「110」よりも書き込みレベルが深いデータが書き込まれるメモリセルでは、書き込み開始時の電界が理想的な場合に比べて低く設定されることになる(現状ではISPPの開始時の電圧を例えば1.5Vとしている。このとき書き込みデータが「110」の場合のビット線電圧の理想値と実際の値との差は $3.6 - 1.5 = 2.1$ Vである。この場合、理想的なISPPの開始時の電圧はほぼ1.7Vである)。その結果、書き込み回数が増えてトータルの書き込み時間が長くなるという不都合が生じる。

【0040】したがって、この発明の目的は、ビット線電圧を書き込みデータに応じて変えて多値並列書き込みを行う場合に、書き込み時間を短縮することができる不揮発性半導体記憶装置およびそのデータ書き込み方法を提供することにある。

【0041】

【課題を解決するための手段】上記目的を達成するために、この発明の第1の発明は、ワード線およびビット線への印加電圧に応じて電荷蓄積部に蓄積された電荷量に変化し、その変化に応じてしきい値電圧が変化し、しきい値電圧に応じた値のデータを記憶するメモリセルを有し、nビット( $n \geq 2$ )の多値データを並列にかつページ単位でメモリセルに書き込むようにした不揮発性半導体記憶装置であって、書き込み動作時に、ワード線にパルス状のワード線電圧を印加してメモリセルにデータの書き込みを行い、この際、書き込み対象のメモリセルに実質的にデータの書き込みがなされる時間に対応する実

効的なワード線電圧のパルス幅を書き込みデータに応じて制御するようにした書き込み制御手段を有することを特徴とするものである。

【0042】この発明の第2の発明は、ワード線およびビット線への印加電圧に応じて電荷蓄積部に蓄積された電荷量に変化し、その変化に応じてしきい値電圧が変化し、しきい値電圧に応じた値のデータを記憶するメモリセルを有し、 $n$ ビット ( $n \geq 2$ ) の多値データを並列にかつページ単位でメモリセルに書き込むようにした不揮発性半導体記憶装置のデータ書き込み方法であって、書き込み動作時に、ワード線にパルス状のワード線電圧を印加してメモリセルにデータの書き込みを行い、この際、書き込み対象のメモリセルに実質的にデータの書き込みがなされる時間に対応する実効的なワード線電圧のパルス幅を書き込みデータに応じて制御するようにしたことを特徴とするものである。

【0043】この発明において、不揮発性半導体記憶装置は、典型的には、NAND型フラッシュメモリであり、メモリセルは、フローティングゲートおよびコントロールゲートを有するMOSトランジスタからなる。

【0044】この発明において、不揮発性半導体記憶装置は、好適には、メモリセルが複数個接続され、その一端および他端がゲート電圧に応じて導通状態が制御される選択トランジスタを介してビット線およびソース線に接続されたメモリストリングが並列に配置されていると共に、同一行のメモリセルの制御ゲートが共通のワード線によって接続されたものである。この場合、書き込み動作時には、セルフブーストまたはローカルセルフブーストを用いて  $n$  ビット ( $n \geq 2$ ) の多値データを並列にかつページ単位でメモリセルに書き込むようにする。

【0045】以下に、この発明の原理について説明する。

【0046】図1は、参考文献 (Symp. on VLSI Circuits, Digest of Technical Papers, p.168, (1996)) に示されている、NAND型フラッシュメモリにおいてISPを用いて書き込みを行った場合の、メモリセルのしきい値電圧の変化のワード線電圧 (書き込みパルス) のパルス幅依存性を示すグラフである。図1において、横軸は書き込み回数を表し、縦軸はメモリセルのしきい値電圧  $V_{th}$  (V) を表す。図1においては、ワード線電圧のパルス幅を  $2\mu s$ 、 $5\mu s$ 、 $10\mu s$ 、 $20\mu s$ 、 $50\mu s$  とした場合のしきい値電圧  $V_{th}$  の実測値が黒丸で示され、計算値が実線で示されている。なお、いずれの場合も、ワード線電圧の初期値は  $14.5V$  であり、1回の書き込みサイクル毎のワード線電圧のステップ幅は  $0.5V$  である。したがって、横軸は、その書き込みサイクルにおけるワード線電圧に対応している。

【0047】図1より、NAND型フラッシュメモリの書き込み動作において、パルス状のワード線電圧の初期値およびステップ幅を同一条件にし、パルス幅のみ変化

させた場合、最初の数回の書き込みサイクルでは、ワード線電圧のパルス幅が長い方がメモリセルのしきい値電圧  $V_{th}$  のシフト量 (上昇量) が大きく、それ以降の書き込みサイクルでは、ワード線電圧のパルス幅に関係なく、ワード線電圧のステップ幅にほぼ等しい量だけメモリセルのしきい値電圧  $V_{th}$  がシフト (上昇) することがわかる。これは、メモリセルにおける書き込み時の電界が同じでも、ワード線電圧のパルス幅を短く (ワード線電圧の印加時間を短く) 設定した方が、メモリセルのしきい値電圧  $V_{th}$  のシフトを遅らせることができることを意味している。すなわち、ワード線電圧のパルス幅を短く設定して書き込みを行うということは、実質的にビット線電圧が実際の電圧より高い状態で書き込みを行うのと等価である。

【0048】ここで、8値型のNAND型フラッシュメモリにおいて、書き込みデータに応じてワード線電圧のパルス幅を制御して、多値並列書き込みを行う場合について説明する。

【0049】8値型のNAND型フラッシュメモリの場合、メモリセルトランジスタのしきい値電圧  $V_{th}$  は、図2に示すように、「000」、「001」、「010」、「011」、「100」、「101」、「110」、「111」の各データ内容に対応する8状態 (分布7～分布0) をとる。図2中、 $V_{VF1} \sim V_{VF7}$  および  $V_{RD1} \sim V_{RD7}$  は、各状態に対応するベリファイ動作時および通常読み出し時の選択ワード線電圧 (ただし、 $V_{VF7} > V_{RD7} > V_{VF6} > V_{RD6} > V_{VF5} > V_{RD5} > V_{VF4} > V_{RD4} > V_{VF3} > V_{RD3} > V_{VF2} > V_{RD2} > V_{VF1} > V_{RD1}$ ) であり、一例を挙げると、 $V_{VF7} = 3.8V$ 、 $V_{RD7} = 3.6V$ 、 $V_{VF6} = 3.2V$ 、 $V_{RD6} = 3.0V$ 、 $V_{VF5} = 2.6V$ 、 $V_{RD5} = 2.4V$ 、 $V_{VF4} = 2.0V$ 、 $V_{RD4} = 1.8V$ 、 $V_{VF3} = 1.4V$ 、 $V_{RD3} = 1.2V$ 、 $V_{VF2} = 0.8V$ 、 $V_{RD2} = 0.6V$ 、 $V_{VF1} = 0.2V$ 、 $V_{RD1} = 0V$  である。

【0050】この8値型のNAND型フラッシュメモリにおいては、セルフブーストまたはローカルセルフブーストを考えなければ、理想的な書き込み時のビット線電圧は、例えば、図2(a)に示すように、書き込みデータが「000」の場合、 $0V$ 、書き込みデータが「001」の場合、 $0.6V$ 、書き込みデータが「010」の場合、 $1.2V$ 、書き込みデータが「011」の場合、 $1.8V$ 、書き込みデータが「100」の場合、 $2.4V$ 、書き込みデータが「101」の場合、 $3.0V$ 、書き込みデータが「110」の場合、 $3.6V$ 、書き込みデータが「111」の場合、 $8V$  である。

【0051】実際には、この8値型のNAND型フラッシュメモリの書き込み動作は、書き込み禁止のメモリセルのチャネルをビット線から切り離して、ワード線との容量結合によって非書き込み電位にブーストする、いわゆるセルフブーストまたはローカルセルフブーストが用

いられる。この場合、実際の書き込み時のビット線電圧は、例えば図2(b)に示すように、書き込みデータが「00x」(x: 0または1)の場合、0V、書き込みデータが「01x」(x: 0または1)の場合、1.2V、書き込みデータが「10x」(x: 0または1)の場合、1.5V、書き込みデータが「110」の場合、1.5V、書き込みデータが「111」の場合、 $V_{cc}$ に設定される。

【0052】また、上述の8値型のNAND型フラッシュメモリにおいて、書き込みレベルの浅い、データ「110」やデータ「10x」(x: 0または1)を書き込む場合のワード線電圧のパルス幅を、それよりも書き込みレベルの深い、データ「0xx」(x: 0または1)を書き込む場合のワード線電圧のパルス幅より短く設定すれば、データ「110」やデータ「10x」(x: 0または1)を書き込む場合のビット線電圧が実際の電圧より高い状態に設定されているのと等価となり、その結果、ISPを用いた書き込みにおいて、書き込み開始時のワード線電圧を高く設定することが可能となる。

【0053】また、上述の8値型のNAND型フラッシュメモリにおいてメモリセルにデータを書き込む場合は、書き込みレベルの浅いデータが書き込まれるメモリセルほど、消去状態から書き込み終了と判定されるまでのしきい値電圧のシフト量が小さいため、書き込みが速く終了する。したがって、書き込みレベルの浅いデータが書き込まれるメモリセルに対しては、ワード線電圧のパルス幅を短く設定して書き込みを行っても、そのパルス幅を適切に選べば、トータルの書き込み時間を増加させることはない。

【0054】したがって、書き込み時間を短縮する上では、書き込みレベルの浅いデータを書き込む場合ほど、ワード線電圧のパルス幅を短く設定するのが好都合であると言える。

【0055】ところで、NAND型フラッシュメモリにおいては、通常、選択ワード線に所定のパルス幅のワード線電圧を印加し、ページ単位でメモリセルにデータの書き込みを行うようにしている。したがって、実際に選択ワード線に印加するワード線電圧よりパルス幅の短いパルスによってメモリセルにデータの書き込みを行う場合は、選択ワード線にワード線電圧が印加されても、一定期間はメモリセルに対してデータの書き込みがなされないようにする必要がある。このような場合には、以下に示すようなステップで制御を行い、メモリセルに実際にデータの書き込みがなされる時間、すなわち、実効的なワード線電圧のパルス幅を、実際に選択ワード線に印加するワード線電圧のパルス幅よりも短くしてやればよい。

【0056】すなわち、まず、書き込み対象のメモリセルと接続される選択ビット線が電源電圧 $V_{cc}$ に充電されている状態(ただし、メモリストリングのドレイン側の

選択トランジスタのゲート電圧は電源電圧 $V_{cc}$ に設定されているものとする)でワード線電圧を立ち上げ、書き込み対象のメモリセルのチャネルを、書き込み禁止のメモリセルに対して行うのと同様に、セルフブーストまたはローカルセルフブーストにより非書き込み電位までブーストする。そして、一定時間経過後に、ビット線電圧を書き込みデータに応じた電圧に切り替え、これによって、書き込み対象のメモリセルのチャネルをビット線を介して書き込みデータに応じた電圧に放電させ、以降、書き込みサイクルの終了まで書き込みを行う。この際、書き込みデータの書き込みレベルが浅い場合ほど、ビット線電圧を書き込みデータに応じた電圧に切り替えるタイミングを遅くしてやれば、書き込みレベルの浅いデータが書き込まれるメモリセルほど、実効的なワード線電圧のパルス幅が短くなる。

【0057】ここで、ワード線電圧の電圧値が等しいときのワード線電圧のパルス幅の違いによるしきい値電圧 $V_{th}$ の差を、図1において、例えば5回目の書き込みサイクル後に到達するしきい値電圧 $V_{th}$ から読み取ると、  
(A)  $20\mu s$ の場合と $10\mu s$ の場合との差: 0.7V

(B)  $20\mu s$ の場合と $5\mu s$ の場合との差: 1.1V

(C)  $20\mu s$ の場合と $2\mu s$ の場合との差: 1.7V

となる。実際に選択ワード線に印加する書き込みパルスのパルス幅を $20\mu s$ とする場合は、上述の(A)～(C)の関係に基づいて、書き込みデータに応じた実効的なワード線電圧のパルス幅(印加時間)が設定される。

【0058】具体的には、実際に選択ワード線に印加するパルス状のワード線電圧のパルス幅を $20\mu s$ とし、多値並列書き込み時のビット線電圧を図2(b)に示すように設定する場合は、書き込みデータに応じて実効的なワード線電圧のパルス幅を、例えば図2(c)に示すよう設定する。すなわち、書き込みデータが「0xx」(x: 0または1)の場合の実効的なワード線電圧のパルス幅を $20\mu s$ とし、書き込みデータが「10x」(x: 0または1)の場合の実効的なワード線電圧のパルス幅を $10\mu s$ とし、書き込みデータが「110」の場合の実効的なワード線電圧のパルス幅を $2\mu s$ とする。なお、書き込みデータが「111」の場合には、実質的にデータの書き込みがなされないため、実効的なワード線電圧のパルス幅は $0\mu s$ である。

【0059】ここで、書き込みデータが「0xx」(x: 0または1)の場合の実効的なワード線電圧のパルス幅は、実際に選択ワード線に印加するワード線電圧のパルス幅と等しく、したがって、書き込みデータが「0xx」(x: 0または1)の場合には、ワード線電圧の立ち上げと同時に、実質的なデータの書き込みが開始される。これに対して、書き込みデータが「10x」(x: 0または1)の場合および「110」の場合の実

効的なワード線電圧のパルス幅は、実際に選択ワード線に印加するワード線電圧のパルス幅より短く、したがって、書き込みデータが「10x」(x:0または1)の場合には、ワード線電圧を立ち上げてから $10\mu\text{s}$ 経過後に実質的なデータの書き込みが開始され、書き込みデータが「110」の場合には、さらに $8\mu\text{s}$ 経過後(ワード線電圧を立ち上げてから $18\mu\text{s}$ 経過後)に実質的なデータの書き込みが開始される。

【0060】このように、多値並列書き込み時のビット線電圧を図2(b)に示すように設定し、かつ、実効的なワード線電圧のパルス幅を図2(c)に示すように設定した場合の実質的なビット線電圧(換算ビット線電圧)は、上述の(A)~(C)の関係に基づいて、全てのデータの書き込み時間を $20\mu\text{s}$ とした場合に換算すると、図2(d)に示すようになる。すなわち、書き込みデータが「00x」(x:0または1)の場合の換算ビット線電圧は $0+0=0\text{V}$ となり、書き込みデータが「01x」(x:0または1)の場合の換算ビット線電圧は $1.2+0=1.2\text{V}$ となり、書き込みデータが「10x」(x:0または1)の場合の換算ビット線電圧は $1.5+0.7=2.2\text{V}$ となり、書き込みデータが「110」の場合の換算ビット線電圧は $1.5+1.7=3.2\text{V}$ となる。

【0061】このときの理想的な書き込み時のビット線電圧と換算ビット線電圧との差((a)-(d))を、図2(e)に示す。ここで、書き込みデータに応じて実効的なワード線電圧のパルス幅を制御するようなことを行わなかった場合(全てのデータの書き込み時間を同一とした場合)、理想的なビット線電圧と換算ビット線電圧との差が最も大きくなるのは、書き込みデータが「110」の場合であり、このときの理想的なビット線電圧と換算ビット線電圧との差は $2.1\text{V}$ であった。これに対して、図2(e)に示すように、書き込みデータに応じて実効的なワード線電圧のパルス幅を制御して多値並列書き込みを行う場合に、理想的なビット線電圧と換算ビット線電圧との差が最も大きくなるのは、書き込みデータが「101」の場合であり、このときの理想的なビット線電圧と換算ビット線電圧との差は $0.8\text{V}$ である。この場合、書き込み開始時のワード線電圧は、この書き込みデータが「101」のメモリセルのうち書き込み速度が最も速いメモリセルが1回目の書き込みサイクルで丁度書き込みレベルに達するような電圧に設定すればよく、理想的な電圧値より $0.8\text{V}$ だけ低い電圧に設定すればよい。これに対して、書き込みデータに応じて実効的なワード線電圧のパルス幅を制御するようなことを行わなかった場合(全てのデータの書き込み時間を同一(例えば $20\mu\text{s}$ )に設定した場合)、理想的なビット線電圧と実際のビット線電圧との差は、書き込みデータが「110」の場合に最大となり、その値は $2.1\text{V}$ である。

【0062】以上のように、この発明による不揮発性半導体記憶装置およびそのデータ書き込み方法によれば、書き込み動作時に、ワード線にパルス状のワード線電圧を印加してメモリセルにデータの書き込みを行い、この際、書き込み対象のメモリセルに実質的にデータの書き込みがなされる時間に対応する実効的なワード線電圧のパルス幅を書き込みデータに応じて制御するようにしていることにより、書き込み開始時のワード線電圧を高く設定することができる。

【0063】

【発明の実施の形態】以下、この発明の実施形態について図面を参照して説明する。

【0064】図3および図4は、この発明の一実施形態による8値型のNAND型フラッシュメモリを示す。図3は、この8値型のNAND型フラッシュメモリの主要部の構成を示し、図4は、この8値型のNAND型フラッシュメモリのメモリセルアレイの等価回路を示す。このNAND型フラッシュメモリは、メモリセルアレイ1、ビット線電圧発生回路2および読み出し/ベリファイ制御回路3などにより構成される。

【0065】メモリセルアレイ1は、図4に示すように、例えば、フローティングゲート(FG)およびコントロールゲート(CG)を有し、それぞれが3ビットのメモリセルとして機能するMOSトランジスタ(メモリセルトランジスタ)がマトリクス状に配置されたものであり、同一行のメモリセルが共通のワード線WL0~WL15に接続されたメモリストリングA0~Anにより構成されている。なお、図4においては、メモリストリングA2以降が省略されている。

【0066】一つのメモリストリングは、メモリセルトランジスタが直列に複数個接続されたものである。メモリストリングA0は、メモリセルトランジスタ $M_{0-0}$ ~ $M_{15-0}$ により構成されている。メモリセルトランジスタ $M_{15-0}$ のドレインが選択トランジスタDS0のソースと接続され、選択トランジスタDS0のドレインがビット線BL0と接続されている。一方、メモリセルトランジスタ $M_{0-0}$ のソースが選択トランジスタSS0のドレインと接続され、選択トランジスタSS0のソースがソース線SLと接続されている。また、メモリセルトランジスタ $M_{0-0}$ ~ $M_{15-0}$ のコントロールゲートが、それぞれワード線WL0~WL15と接続されている。同様に、メモリストリングA1は、メモリセルトランジスタ $M_{0-1}$ ~ $M_{15-1}$ により構成されている。メモリセルトランジスタ $M_{15-1}$ のドレインが選択トランジスタDS1のソースと接続され、選択トランジスタDS1のドレインがビット線BL1と接続されている。一方、メモリセルトランジスタ $M_{0-1}$ のソースが選択トランジスタSS1のドレインと接続され、選択トランジスタSS1のソースがソース線SLと接続されている。また、メモリセルトランジスタ $M_{0-1}$ ~ $M_{15-1}$ のコントロールゲートが、そ

れぞれワード線WL0～WL15と接続されている。

【0067】このようにメモリストリングA0、A1と各線とが接続され、他のメモリストリングA2～Anに關しても同様の接続関係とされている。したがって、メモリストリングA0～Anの一端は、選択トランジスタDS0～DSnを介してビット線BL0～BLnと接続され、メモリストリングA0～Anの他端は、選択トランジスタSS0～SSnを介してソース線SLと接続されている。そして、選択トランジスタDS0～DSnのゲートが共通のドレイン側選択ゲート線DSGと接続され、選択トランジスタSS0～SSnのゲートが共通のソース側選択ゲート線SSGと接続されている。メモセルアレイ1においては、上述のようなメモリストリングA0～Anが並列に配置されている。

【0068】ビット線BL0およびBL1に対応して設けられているビット線電圧発生回路2は、図3に示すように、nチャネルMOSトランジスタからなるトランジスタN1～N14、インバータの入出力同士を結合してなるラッチ回路LQ2、LQ1、LQ0およびpチャネルMOSトランジスタからなるトランジスタP1により構成されている。また、ビット線電圧発生回路2からは、所定の定電圧源と接続されたビット線電圧供給ラインVBL1、VBL2、VBL3が導出されている。このNAND型フラッシュメモリにおいては、ラッチ回路LQ2～LQ0を含む1つのビット線電圧発生回路2に対して2本のビット線が選択的に接続される構成(ビット線shared)を採っている。なお、ビット線BL2以降に対応するビット線電圧発生回路も同様の構成とされおり、これらの部分に関する説明は、説明を簡単とするため省略する。また、他の回路部分に關しても、ビット線BL0およびBL1に対応する部分にのみ注目し、その部分に關してのみ説明する。

【0069】ビット線電圧発生回路2により、書き込み時に、書き込みデータに応じたビット線電圧が発生され、そのビット線電圧がビット線BL0、BL1を通じてメモセルアレイ1のメモセルトランジスタのチャネルに与えられる。ペリファイ時には、ビット線電圧発生回路2のラッチ回路LQ2、LQ1、LQ0の記憶ノードQ2、Q1、Q0は、メモセルアレイ1のメモセルトランジスタに書き込みが十分に行なわれると、「111」に設定される。読み出し時には、メモセルアレイ1のメモセルトランジスタのしきい値電圧が検出されてデータの読み出しが行なわれる。この時、ラッチ回路LQ2、LQ1、LQ0の記憶ノードQ2、Q1、Q0には、読み出されたデータがデコードされて設定されていく。

【0070】読み出し／ペリファイ制御回路3は、nチャネルMOSトランジスタからなるトランジスタN15～N41により構成されている。この読み出し／ペリファイ制御回路3は、読み出し時またはペリファイ時に、

ラッチ回路LQ2、LQ1、LQ0の状態を制御するものである。読み出し／ペリファイ制御回路3からは、制御信号φLAT0～φLAT9の供給ラインが導出されている。この制御信号φLAT0～φLAT9の供給ラインに、パルス状の信号が供給される。

【0071】ビット線BL0とノードSAとの間には、高耐圧のnチャネルMOSトランジスタからなるトランジスタHN1およびHN3が直列に接続されている。また、ビット線BL1とノードSAとの間には、高耐圧のnチャネルMOSトランジスタからなるトランジスタHN2およびHN4が直列に接続されている。トランジスタHN1、HN2のゲートに共通の制御信号TRNが供給される。トランジスタHN3のゲートにアドレスデコード信号AiBが供給され、トランジスタHN4のゲートにアドレスデコード信号AiNが供給される。

【0072】ビット線電圧発生回路2においては、ノードSAと電源電圧Vcc(Vccは例えば3.3V)の供給ラインとの間にトランジスタP1が接続されている。トランジスタP1のゲートには制御信号Vrefが供給される。また、ノードSAと接地ラインGNDとの間にトランジスタN1が接続されている。トランジスタN1のゲートには制御信号DISが供給される。

【0073】また、ビット線電圧発生回路2においては、トランジスタN2のドレインがノードSAと接続されている。トランジスタN2のソースがトランジスタN3、N5、N7、N9のドレインと接続されている。トランジスタN2のゲートには制御信号PGMが供給される。

【0074】トランジスタN2のソースと接地ラインとの間にトランジスタN3、N4が直列に接続されている。トランジスタN2のソースとビット線電圧供給ラインVBL1との間にトランジスタN5、N6が直列に接続されている。トランジスタN2のソースとビット線電圧供給ラインVBL2との間にトランジスタN7、N8が直列に接続されている。トランジスタN2のソースとビット線電圧供給ラインVBL3との間にトランジスタN9、N10、N11が直列に接続されている。なお、この一実施形態によるNAND型フラッシュメモリにおいては、上述のようにGNDレベルのビット線電圧を供給する電源が接地ラインとなっているが、これは、例えば、GNDレベルのビット線電圧を供給することが可能なビット線電圧供給ライン(例えばVBL0とする)をさらに設けて、トランジスタN2のソースとこのビット線電圧供給ラインVBL0との間にトランジスタN3、N4を直列に接続するようにしてもよい。

【0075】ラッチ回路LQ2、LQ1、LQ0はそれぞれ記憶ノードQ2、Q1、Q0と、その反転記憶ノード/Q2、/Q1、/Q0とを有している。なお、/は反転を示すバーを意味している。

【0076】ラッチ回路LQ2の反転記憶ノード/Q2



はトランジスタN4、N6のゲートと接続され、記憶ノードQ2はトランジスタN7、N9のゲートと接続されている。ラッチ回路LQ1の反転記憶ノード/Q1はトランジスタN3、N8のゲートと接続され、記憶ノードQ1はトランジスタN5、N10のゲートと接続されている。ラッチ回路LQ0の反転記憶ノード/Q0はトランジスタN11のゲートと接続されている。

【0077】また、ラッチ回路LQ2の記憶ノードQ2、ラッチ回路LQ1の記憶ノードQ1、ラッチ回路LQ0の記憶ノードQ0のそれぞれと接地ラインとの間に、トランジスタN12、N13、N14が接続されている。トランジスタN12、N13、N14のゲートにリセット信号RSTが供給される。

【0078】読み出し／ベリファイ制御回路3においては、トランジスタN15、N16、N17のゲートが、ビット線電圧発生回路2のノードSAと接続されている。トランジスタN15のドレインがラッチ回路LQ2の反転記憶ノード/Q2と接続され、トランジスタN16のドレインがラッチ回路LQ1の反転記憶ノード/Q1と接続され、トランジスタN17のドレインがラッチ回路LQ0の反転記憶ノード/Q0と接続されている。

【0079】トランジスタN15のソースと接地ラインとの間にトランジスタN18が接続されていると共に、これと並列的にトランジスタN19、N20、N21が直列に接続されている。

【0080】トランジスタN16のソースがトランジスタN22のドレインおよびトランジスタN27のドレインと接続されている。トランジスタN22のソースと接地ラインとの間にトランジスタN23、N24が直列に接続されていると共に、これと並列的にトランジスタN25、N26が直列に接続されている。トランジスタN27のソースと接地ラインとの間にトランジスタN28、N29が直列に接続されていると共に、これと並列的にトランジスタN30、N31が直列に接続されている。

【0081】トランジスタN17のソースがトランジスタN32のドレインおよびトランジスタN37のドレインと接続されている。トランジスタN32のソースと接地ラインとの間にトランジスタN33、N34が直列に接続されていると共に、これと並列的にトランジスタN35、N36が直列に接続されている。トランジスタN37のソースと接地ラインとの間にトランジスタN38、N39が直列に接続されていると共に、これと並列的にトランジスタN40、N41が直列に接続されている。

【0082】読み出し／ベリファイ制御回路3からは、制御信号φLAT0〜φLAT9の供給ラインが導出される。トランジスタN18のゲートに制御信号φLAT0が供給される。トランジスタN21のゲートに制御信号φLAT1が供給される。トランジスタN24のゲ-

ートに制御信号φLAT2が供給される。トランジスタN26のゲートに制御信号φLAT3が供給される。トランジスタN29のゲートに制御信号φLAT4が供給される。トランジスタN31のゲートに制御信号φLAT5が供給される。トランジスタN34のゲートに制御信号φLAT6が供給される。トランジスタN36のゲートに制御信号φLAT7が供給される。トランジスタN39のゲートに制御信号φLAT8が供給される。トランジスタN41のゲートに制御信号φLAT9が供給される。

【0083】ラッチ回路LQ2の反転記憶ノード/Q2がトランジスタN27、N37のゲートと接続され、記憶ノードQ2がトランジスタN22、N32のゲートと接続されている。ラッチ回路LQ1の反転記憶ノード/Q1がトランジスタN35、N40のゲートと接続され、記憶ノードQ1がトランジスタN33、N38のゲートと接続されている。ラッチ回路LQ0の反転記憶ノード/Q0がトランジスタN28、N23のゲートと接続され、記憶ノードQ0がトランジスタN30、N25、N20のゲートと接続されている。

【0084】そして、ラッチ回路LQ2の記憶ノードQ2とバスラインIO0との間にトランジスタN51が接続され、ラッチ回路LQ1の記憶ノードQ1とバスラインIO1との間にトランジスタN52が接続され、ラッチ回路LQ0の記憶ノードQ0とバスラインIO2との間にトランジスタN53が接続されている。また、カラムゲートとしてのトランジスタN51、N52、N53のゲートが信号Y1\_0の供給ラインと接続されている。

【0085】また、図示は省略するが、このNAND型フラッシュメモリは、各信号線に供給する所定の電圧を発生させるための昇圧回路およびその制御回路を有している。具体的には、このNAND型フラッシュメモリは、後述する書き込み電圧VPGM発生用の昇圧回路およびその制御回路、書き込みバス電圧Vpass発生用の昇圧回路およびその制御回路、P5V（読み出し時のバス電圧で例えば5V〜6V程度）発生用の昇圧回路およびその制御回路を有している。

【0086】上述のように構成されたこの一実施形態によるNAND型フラッシュメモリにおいて、1個のメモリセルトランジスタに3ビットからなり8値をとるデータが記録される。3ビットからなり8値をとるデータのしきい値電圧Vthの分布と、データ内容とは、例えば図2に示すような対応関係とされる。

【0087】具体的には、図2において分布7はデータ「000」が書き込まれて第7の正のしきい値電圧Vthの書き込み状態とされるメモリセルトランジスタの分布であり、分布6はデータ「001」が書き込まれて第6の正のしきい値電圧Vthの書き込み状態とされるメモリセルトランジスタの分布であり、分布5はデータ「01



0」が書き込まれて第5の正のしきい値電圧 $V_{th}$ の書き込み状態とされるメモリセルトランジスタの分布であり、分布4はデータ「011」が書き込まれて第4の正のしきい値電圧 $V_{th}$ の書き込み状態とされるメモリセルトランジスタの分布であり、分布3はデータ「100」が書き込まれて第3の正のしきい値電圧 $V_{th}$ の書き込み状態とされるメモリセルトランジスタの分布であり、分布2はデータ「101」が書き込まれて第2の正のしきい値電圧 $V_{th}$ の書き込み状態とされるメモリセルトランジスタの分布であり、分布1はデータ「110」が書き込まれて第1の正のしきい値電圧 $V_{th}$ の書き込み状態とされるメモリセルトランジスタの分布である。また、図2において分布0はデータ「111」が書き込まれて負のしきい値電圧 $V_{th}$ の消去状態とされるメモリセルトランジスタの分布である。

【0088】また、図2においては、後述するペリファイ動作における読み出し時の各状態に対する選択ワード線電圧が $V_{VF1}$ ,  $V_{VF2}$ ,  $V_{VF3}$ ,  $V_{VF4}$ ,  $V_{VF5}$ ,  $V_{VF6}$ ,  $V_{VF7}$ で示され、通常読み出し時の各状態に対する選択ワード線電圧が $V_{RD1}$ ,  $V_{RD2}$ ,  $V_{RD3}$ ,  $V_{RD4}$ ,  $V_{RD5}$ ,  $V_{RD6}$ ,  $V_{RD7}$ で示されている。その大小関係は、 $V_{VF7} > V_{RD7} > V_{VF6} > V_{RD6} > V_{VF5} > V_{RD5} > V_{VF4} > V_{RD4} > V_{VF3} > V_{RD3} > V_{VF2} > V_{RD2} > V_{VF1} > V_{RD1}$ とされる。一例を挙げると、 $V_{VF7} = 3.8V$ ,  $V_{RD7} = 3.6V$ ,  $V_{VF6} = 3.2V$ ,  $V_{RD6} = 3.0V$ ,  $V_{VF5} = 2.6V$ ,  $V_{RD5} = 2.4V$ ,  $V_{VF4} = 2.0V$ ,  $V_{RD4} = 1.8V$ ,  $V_{VF3} = 1.4V$ ,  $V_{RD3} = 1.2V$ ,  $V_{VF2} = 0.8V$ ,  $V_{RD2} = 0.6V$ ,  $V_{VF1} = 0.2V$ ,  $V_{RD1} = 0V$ である。

【0089】上述のように構成されたこの一実施形態によるNAND型フラッシュメモリにおける書き込み動作、ペリファイ動作および通常読み出し動作について以下に説明する。

【0090】まず、この一実施形態によるNAND型フラッシュメモリの書き込み動作について説明する。図5に、この一実施形態によるNAND型フラッシュメモリの書き込み動作における各部の信号の状態を示す。なお、ここでは、メモリストリングA0が書き込み対象として選択されているものとする。この一実施形態によるNAND型フラッシュメモリにおいては、書き込み動作とペリファイ動作とを繰り返すことにより、書き込み対象のメモリセルトランジスタに対して所望のデータが書き込まれてゆく。この際、書き込み開始時のワード線電圧を所定の初期電圧に設定し、徐々に所定のステップ幅で段階的にワード線電圧を増加させながら書き込みを順次行うISPと称される方法が用いられる。

【0091】書き込み動作の前には、制御信号PGMがローレベル（GNDレベル）に設定されてトランジスタN2がオフされ、ビット線BL0, BL1と書き込み制御回路2とが切り離されている。そして、制御信号DI

Sがハイレベル（ $V_{cc}$ レベル）に、制御信号TRNおよびアドレスデコード信号AiB, AiNが（ $V_{cc} - V_{th}$ ）レベルに設定されている。このときトランジスタHN1, HN2, HN3, HN4およびトランジスタN1がオンしていることにより、全ビット線は接地されている。また、ビット線電圧供給ラインVBL1の電圧は電圧VB1（例えば1.2V）に設定され、ビット線電圧供給ラインVBL2およびビット線電圧供給ラインVBL3の電圧は $V_{cc}$ レベルに設定されている。

【0092】この状態で書き込みが起動された場合には、書き込みデータがデータバスを介してビット線電圧発生回路2のラッチ回路LQ2, LQ1, LQ0に供給され、そして、その書き込みデータがラッチ回路LQ2, LQ1, LQ0に取り込まれて保持される。このラッチ回路LQ2, LQ1, LQ0のラッチデータに基づいて書き込みが行われる。その後、制御信号DISがローレベルに切り換えられ、ビット線BL0, BL1が接地ラインと切り離される。そして、制御信号TRNおよびアドレスデコード信号AiB, AiNが $V_{cc}$ 以上の所定のハイレベル、例えばP5Vレベルに設定されると共に、制御信号Vrefがローレベル（GNDレベル）に設定される。これにより、全ビット線が $V_{cc}$ に充電される。また、メモリセルアレイ1のドレイン側選択ゲート線DSGが $V_{cc}$ レベルに、ソース側選択ゲート線SSGがGNDレベルに設定される。メモリストリングA0のメモリセルトランジスタのチャネルCH0およびメモリストリングA1のメモリセルトランジスタのチャネルCH1は、（ $V_{cc} - V_{thDSG}$ ）に充電される。 $V_{thDSG}$ は選択トランジスタDS0, DS1のしきい値電圧である。

【0093】その後、アドレスデコード信号AiB, AiNで書き込み対象とされるメモリストリングが選択される。ここでは、例えば、メモリストリングA0が書き込み対象として選択されている場合について説明する。この場合、ビット線電圧供給ラインVBL1が電圧VB1に設定され、ビット線電圧供給ラインVBL2およびVBL3が $V_{cc}$ レベルに設定されている状態で、制御信号Vrefがビット線BL0などのリーク電流を補償するだけの電流をトランジスタP1が流すことが可能な所定レベルの電圧（例えば2V）に設定される。また、アドレスデコード信号AiNがローレベル（GNDレベル）に設定され、トランジスタHN4がオフ状態に切り換えられ、非選択側のビット線BL1が $V_{cc}$ に充電された状態でフローティング状態に保持され、メモリストリングA1のメモリセルトランジスタのチャネルCH1が（ $V_{cc} - V_{thDSG}$ ）レベルに保持される。

【0094】そして、一定時間経過後、制御信号PGMがハイレベルに設定されてトランジスタN2がオンに切り換えられる。このことで、選択ビット線BL0とビット線電圧発生回路2とが接続され、選択ビット線BL0

が書き込みデータに応じた電圧に設定される。

【0095】このとき、書き込みデータが「00x」(x: 0または1)の場合には、トランジスタN3, N4がオンし、ビット線BL0は接地ラインと接続される。したがって、ビット線BL0およびメモリストリングA0のメモリセルトランジスタのチャネルCH0はGNDレベルに放電される。

【0096】書き込みデータが「01x」(x: 0または1)の場合には、トランジスタN5, N6がオンし、ビット線BL0はビット線電圧供給ラインVBL1と接続される。したがって、ビット線BL0およびメモリストリングA0のメモリセルトランジスタのチャネルCH0は電圧VB1 (= 1.2V) に放電される。

【0097】書き込みデータが「10x」(x: 0または1)の場合には、トランジスタN7, N8がオンし、ビット線BL0はビット線電圧供給ラインVBL2と接続される。したがって、ビット線BL0は $V_{cc}$ に保持され、メモリストリングA0のメモリセルトランジスタのチャネルCH0は( $V_{cc} - V_{thDSG}$ )に保持される。

【0098】書き込みデータが「110」の場合には、トランジスタN9, N10, N11がオンし、ビット線BL0はビット線電圧供給ラインVBL3と接続される。したがって、ビット線BL0は $V_{cc}$ に保持され、メモリストリングA0のメモリセルトランジスタのチャネルCH0は( $V_{cc} - V_{thDSG}$ )に保持される。

【0099】なお、書き込みデータが「111」の場合には、電流路が形成されず、ビット線BL0は、接地ラインおよびビット線供給ラインVBL1~VBL3のいずれにも接続されない。したがって、ビット線BL0は $V_{cc}$ に充電された状態でフローティング状態にされ、メモリストリングA0のメモリセルトランジスタのチャネルCH0は( $V_{cc} - V_{thDSG}$ )に保持される。

【0100】その後、ワード線にパルス幅が例えば20 $\mu$ sのパルス状のワード線電圧が印加される。この場合、ワード線WL0~WL15のうち、書き込み対象ページとされる選択ワード線が書き込み電圧VPGMに設定され、それ以外の非選択ワード線が書き込みパス電圧Vpassに設定される。

【0101】このとき、書き込みデータが「00x」(x: 0または1)および「01x」(x: 0または1)のメモリセルトランジスタにおいては、選択ワード線に印加されたワード線電圧(書き込み電圧VPGM)とメモリセルトランジスタのチャネル電圧との電界によりFNTトンネリング現象が起こり、データの書き込みが開始される。また、書き込みデータが「10x」(x: 0または1)、「110」および「111」のメモリセルトランジスタのチャネル、ならびに、非選択側のメモリストリングA1のメモリセルトランジスタのチャネルCH1は、ドレイン側の選択トランジスタDS0, DS1によってビット線BL0, BL1から切り離され、ワー

ド線との容量結合により非書き込み電位にブーストされ、これらのメモリセルトランジスタに対してはデータの書き込みが行われない。

【0102】したがって、この間、書き込みデータが「00x」(x: 0または1)および「01x」(x: 0または1)のメモリセルトランジスタに対してのみ、データの書き込みが行われる。

【0103】そして、ワード線電圧の印加を開始してから所定時間、例えば10 $\mu$ s経過後、ビット線電圧供給ラインVBL2の電圧が $V_{cc}$ レベルから電圧VB2(例えば1.5V)に切り換えられる。

【0104】このとき、書き込みデータが「10x」(x: 0または1)の場合には、ビット線BL0は電圧VB2 (= 1.5V) に放電され、選択トランジスタDS0がオンし、メモリストリングA0のメモリセルトランジスタのチャネルCH0は電圧VB2 (= 1.5V) に設定される。このことにより、書き込みデータが「10x」(x: 0または1)のメモリセルトランジスタにおいて、データの書き込みが開始される。書き込みデータが「00x」(x: 0または1)のメモリセルトランジスタおよび書き込みデータが「01x」(x: 0または1)のメモリセルトランジスタにおいては、データの書き込みが継続して行われる。書き込みデータが「110」および「111」のメモリセルトランジスタのチャネル、ならびに、非選択側のメモリストリングA1のメモリセルトランジスタのチャネルCH1は、非書き込み電位にブーストされた状態に保持され、これらのメモリセルトランジスタに対してはデータの書き込みが行われない。

【0105】したがって、この間、書き込みデータが「00x」(x: 0または1)、「01x」(x: 0または1)および「10x」(x: 0または1)のメモリセルトランジスタに対して、データの書き込みが行われる。

【0106】さらに、ビット線電圧供給ラインVBL2の電圧が電圧VB2に切り換えられてから所定時間、例えば8 $\mu$ s経過後(ワード線電圧の印加を開始してから18 $\mu$ s経過後)、ビット線電圧供給ラインVBL3の電圧が $V_{cc}$ レベルから電圧VB3(例えば1.5V)に切り換えられる。

【0107】このとき、書き込みデータが「110」の場合には、ビット線BL0は電圧VB3 (= 1.5V) に放電され、選択トランジスタDS0がオンし、メモリストリングA0のメモリセルトランジスタのチャネルCH0は電圧VB3 (= 1.5V) に設定される。このことにより、書き込みデータが「110」のメモリセルトランジスタにおいて、データの書き込みが開始される。書き込みデータが「00x」(x: 0または1)のメモリセルトランジスタ、書き込みデータが「01x」(x: 0または1)のメモリセルトランジスタおよび書

き込みデータが「10x」(x:0または1)のメモリセルトランジスタにおいては、データの書き込みが継続して行われる。書き込みデータが「111」のメモリセルトランジスタのチャンネルおよび非選択側のメモリストリングA1のメモリセルトランジスタのチャンネルCH1は、非書き込み電位にブーストされた状態に保持され、これらのメモリセルトランジスタに対してはデータの書き込みが行われない。

【0108】したがって、この間、書き込みデータが「00x」(x:0または1)、「01x」(x:0または1)、「10x」(x:0または1)および「110」のメモリセルトランジスタに対して、データの書き込みが行われる。

【0109】そして、ビット線電圧供給ラインVBL3の電圧が電圧VB3に切り換えられてから2 $\mu$ s経過後(ワード線電圧の印加を開始してから20 $\mu$ s経過後)、ワード線電圧が0Vに設定され、書き込みサイクルが終了される。

【0110】上述の書き込み動作においては、ビット線電圧発生回路2において、ビット線電圧を書き込みデータに応じた電圧に設定されるタイミングが、書き込みデータの書き込みレベルが浅い場合ほど遅くされているのが特徴的である。

【0111】具体的には、書き込みデータが「00x」(x:0または1)および「01x」(x:0または1)の場合、ワード線電圧が立ち上げられる前に、ビット線BL0がそれぞれ0V、電圧VB1(=1.2V)に設定され、書き込みデータが「10x」(x:0または1)の場合、ワード線電圧が立ち上がってから10 $\mu$ s経過後にビット線BL0が電圧VB2(=1.5)に設定され、書き込みデータが「110」の場合、ワード線電圧が立ち上がってから18 $\mu$ s経過後にビット線BL0が電圧VB3(=1.5V)に設定される。この場合、メモリセルトランジスタに対して実質的にデータの書き込みがなされる時間は、書き込みデータが「0x」(x:0または1)の場合、20 $\mu$ sであり、書き込みデータが「10x」(x:0または1)の場合、10 $\mu$ sであり、書き込みデータが「110」の場合、2 $\mu$ sである。なお、書き込みデータが「111」の場合、メモリセルトランジスタに対して実質的にデータの書き込みがなされる時間は、0 $\mu$ sである。この実質的にデータの書き込みがなされる時間は、実効的なワード線電圧のパルス幅(印加時間)に対応している。

【0112】このように、この一実施形態においては、ビット線電圧を書き込みデータに応じた電圧に設定されるタイミングを、書き込みデータに応じて制御することにより、書き込みデータに応じた実効的なワード線電圧のパルス幅の制御が行われている。

【0113】次に、ペリファイ動作について説明する。図6に、この一実施形態によるNAND型フラッシュメモ

リのペリファイ動作における各部の信号の状態を示す。なお、ここでは、上述の書き込み動作に引き続き、メモリストリングA0がペリファイ対象として選択されているものとする。

【0114】上述の書き込み動作において、ワード線電圧VWLがGNDレベルに設定されて1回の書き込みサイクルが終了された後、制御信号PGMがV<sub>cc</sub>レベルからGNDレベルに切り換えられ、ビット線BL0とビット線電圧発生回路2とが切り離される。そして、制御信号DISがハイレベル、アドレスデコード信号AiNがP5Vレベルに設定されると共に、アドレスデコード信号AiBおよび制御信号TRNが書き込み時のままP5Vレベルに設定され、この間に、全ビット線が接地される。一定時間経過後、制御信号TRNがGNDレベルに設定され、さらに一定時間経過後、制御信号DISがGNDレベルに切り換えられる。そして、アドレスデコード信号AiNがGNDレベルに設定され、非選択側のビット線BL1がフローティング状態とされると共に、制御信号TRNが(V<sub>cc</sub>-V<sub>th</sub>)レベルに設定される。このとき、アドレスデコード信号AiBがP5Vレベルであることにより、選択ビット線BL0とノードSAとが接続される。

【0115】このペリファイ動作では、1回の書き込みが終了する毎にデータ「000」、「001」、「010」、「011」、「100」、「101」、「110」に対応したしきい値電圧V<sub>th</sub>の判定が行われる。このしきい値電圧V<sub>th</sub>の判定は、制御信号DISがローレベルに切り換えられた後、ドレイン側選択ゲート線DSGおよびソース側選択ゲート線SSGが非選択ワード線の電圧と同じ所定のハイレベルの電圧、例えばP5Vに設定され、選択ワード線の電圧VWLを例えばVVF7→VVF6→VVF5→VVF4→VVF3→VVF2→VVF1の順序で段階的に下げながらなされる。

【0116】まず、各ワード線電圧での実際のしきい値電圧V<sub>th</sub>の判定の前処理として制御信号Vrefがローレベル(GNDレベル)に設定されてトランジスタP1がオンされ、ビット線BL0に対して電源電圧V<sub>cc</sub>での充電がなされる。ある程度時間が経過すると、ビット線BL0の電圧が上昇し、トランジスタHN1のゲートソース間の電位差がV<sub>th</sub><sup>\*</sup>(V<sub>th</sub><sup>\*</sup>はトランジスタHN1のしきい値電圧)以下となるとき自動的にトランジスタHN1、HN3がオフする。したがって、ビット線BL0は(V<sub>cc</sub>-V<sub>th</sub>-V<sub>th</sub><sup>\*</sup>)レベル(例えば1V程度)に充電され、ノードSAはV<sub>cc</sub>レベルとなる。

【0117】上述した状態で以て選択ワード線の電圧を所定値とすると共に、ラッチ回路LQ2〜LQ0のノードQ2〜Q0が所定データに設定された状態で、セル電流の有無をビット線BL0およびノードSAの電圧に反映させてしきい値電圧V<sub>th</sub>の判定がなされる。つまり、所定のメモリセルトランジスタのしきい値電圧V<sub>th</sub>以上

の電圧がそのコントロールゲートに供給されてセル電流が流れる場合には、ビット線BL0の電圧が降下し、トランジスタHN1、HN3がオンする。したがって、ノードSAは、ビット線BL0の電圧 ( $V_{cc} - V_{th} - V_{th}^-$ ) とほぼ等しい電圧まで降下する。また、所定のメモリセルトランジスタのしきい値電圧 $V_{th}$ 未満の電圧がそのコントロールゲートに供給される場合には、セル電流が流れず、ビット線BL0の電圧が降下することがなく、ノードSAの電圧は、そのまま $V_{cc}$ レベルに保持される。この関係に基づいてしきい値電圧 $V_{th}$ の判定がなされる。

【0118】ビット線BL0の充電が完了すると、制御信号Vref がビット線BL0のリーク電流を補償するだけの電流をトランジスタP1が流すことが可能な所定レベルの電圧 (例えば、2V) に設定される。

【0119】まず、選択ワード線の電圧VWLがVVF7 に設定され、書き込みデータが「000」に対応するしきい値電圧 $V_{th}$ の判定がなされる。ここで、メモリセルトランジスタのしきい値電圧 $V_{th}$ がVVF7 より大きい ( $V_{th} > VVF7$ ) 場合には、セルに電流が流れないことにより、ビット線BL0の電圧は変化せず、ノードSAは $V_{cc}$ レベルに保持される。このとき、トランジスタN15、N16、N17がオンする。

【0120】そして、一定時間経過後、パルス状の信号である制御信号 $\phi_{LAT0}$ 、 $\phi_{LAT2}$ 、 $\phi_{LAT6}$ が順次ハイレベルに設定される。

【0121】制御信号 $\phi_{LAT0}$ がハイレベルに設定されると、トランジスタN18がオンし、このときトランジスタN15がオンしていることにより、ラッチ回路LQ2の反転記憶ノード/Q2がローレベルに設定されて記憶ノードQ2がローレベルからハイレベルに反転する。このとき、ラッチ回路LQ2の記憶ノードQ2と接続されたトランジスタN22、N32のゲートがハイレベルになる。

【0122】制御信号 $\phi_{LAT2}$ がハイレベルに設定されると、トランジスタN24がオンし、このときトランジスタN23、N22およびトランジスタN16がオンしていることにより、ラッチ回路LQ1の反転記憶ノード/Q1がローレベルに設定されて記憶ノードQ1がローレベルからハイレベルに反転する。このとき、ラッチ回路LQ1の記憶ノードQ1と接続されたトランジスタN33のゲートがハイレベルになる。

【0123】制御信号 $\phi_{LAT6}$ がハイレベルに設定されると、トランジスタN34がオンし、このときトランジスタN33、N32およびトランジスタN17がオンしていることにより、ラッチ回路LQ0の反転記憶ノード/Q0がローレベルに設定されて記憶ノードQ0がローレベルからハイレベルに反転する。

【0124】以上により、書き込みデータが「000」のメモリセルトランジスタで、そのしきい値電圧 $V_{th}$ が

VVF7 より大きい ( $V_{th} > VVF7$ ) 場合、ラッチ回路LQ2、LQ1、LQ0のラッチデータは「111」に反転し、書き込み禁止状態とされる。

【0125】一方、メモリセルトランジスタのしきい値電圧 $V_{th}$ がVVF7 より小さい ( $V_{th} < VVF7$ ) 場合、リーク補償電流より大きいセル電流が流れ、ノードSAの電圧が降下してトランジスタHN1、HN3がオンし、ビット線BL0の容量CBLとノードSAの容量CSA ( $< CBL$ ) との間で電荷の再分配が起こり、ノードSAの電圧がビット線BL0の電圧 ( $V_{cc} - V_{th} - V_{th}^-$ ) とほぼ同程度のローレベル (例えば1V程度) となる。このため、制御信号 $\phi_{LAT0}$ 、 $\phi_{LAT2}$ 、 $\phi_{LAT6}$ によりトランジスタN18、N24、N34がオンしても、トランジスタN15、N16、N17のゲートがローレベル (例えば、1V) となっているため、トランジスタN15、N16、N17のそれぞれのドレインソース間が高抵抗状態とされ、ラッチ回路LQ2~LQ0の記憶ノードQ2~Q0を反転させるのに必要な電流を流すことができず、結果として設定状態が保持される。

【0126】選択ワード線の電圧VWLがVVF7 に設定された状態でのしきい値電圧 $V_{th}$ の判定が完了すると、再度、制御信号Vref がローレベルに設定されてトランジスタP1がオンされ、ビット線BL0に対して電源電圧 $V_{cc}$ での充電がなされる。ビット線BL0の充電が完了すると、制御信号Vref が所定レベルの電圧 (例えば、2V) に設定される。

【0127】次に、選択ワード線の電圧VWLがVVF6 に設定され、書き込みデータが「001」に対応するしきい値電圧 $V_{th}$ の判定がなされる。ここで、メモリセルトランジスタのしきい値電圧 $V_{th}$ がVVF6 より大きい ( $V_{th} > VVF6$ ) 場合には、セルに電流が流れないことにより、ビット線BL0の電圧は変化せず、ノードSAは $V_{cc}$ レベルに保持される。このとき、トランジスタN15、N16、N17がオンする。

【0128】そして、一定時間経過後、パルス状の信号である制御信号 $\phi_{LAT5}$ 、 $\phi_{LAT1}$ が順次ハイレベルに設定される。

【0129】制御信号 $\phi_{LAT5}$ がハイレベルに設定されると、トランジスタN31がオンし、このときトランジスタN30、N27およびトランジスタN16がオンしていることにより、ラッチ回路LQ1の反転記憶ノード/Q1がローレベルに設定されて記憶ノードQ1がローレベルからハイレベルに反転する。このとき、ラッチ回路LQ1の記憶ノードQ1と接続されたトランジスタN19のゲートがハイレベルになる。なお、メモリセルトランジスタのしきい値電圧 $V_{th}$ が $V_{th} > VVF7$  の場合には、選択ワード線の電圧VWLがVVF7 に設定された状態でのしきい値電圧 $V_{th}$ の判定において、すでにラッチ回路LQ1の反転記憶ノード/Q1がローレベルからハ

イレベルに判定されているため、ここでは変化しない。  
また、書き込みデータが「000」でメモリセルトランジスタのしきい値電圧 $V_{th}$ が $V_{VF7} > V_{th} > V_{VF6}$ の場合には、ラッチ回路LQ0の記憶ノードQ0がローレベルであることによりトランジスタN30がオフし、ラッチ回路LQ1の記憶ノードQ1は変化しない。

【0130】制御信号 $\phi_{LAT1}$ がハイレベルに設定されると、トランジスタN21がオンし、このときトランジスタN20、N19およびトランジスタN15がオンしていることにより、ラッチ回路LQ2の反転記憶ノード/Q2がローレベルに設定されて記憶ノードQ2がローレベルからハイレベルに反転する。なお、メモリセルトランジスタのしきい値電圧 $V_{th}$ が $V_{th} > V_{VF7}$ の場合には、選択ワード線の電圧 $V_{WL}$ が $V_{VF7}$ に設定された状態でのしきい値電圧 $V_{th}$ の判定において、すでにラッチ回路LQ2の反転記憶ノード/Q2がローレベルからハイレベルに判定されているため、ここでは変化しない。  
また、書き込みデータが「000」でメモリセルトランジスタのしきい値電圧 $V_{th}$ が $V_{VF7} > V_{th} > V_{VF6}$ の場合には、ラッチ回路LQ0の記憶ノードQ0がローレベルであることによりトランジスタN30がオフし、ラッチ回路LQ1の記憶ノードQ1は変化せず、したがって、トランジスタN19がオンしないので、ラッチ回路LQ2の記憶ノードQ2は変化しない。

【0131】以上により、書き込みデータが「001」のメモリセルトランジスタで、そのしきい値電圧 $V_{th}$ がワード線電圧 $V_{VF6}$ より大きい( $V_{th} > V_{VF6}$ )場合、ラッチ回路LQ2、LQ1、LQ0のラッチデータは「111」に反転し、書き込み禁止状態とされる。

【0132】一方、メモリセルのしきい値電圧 $V_{th}$ が $V_{VF6}$ より小さい( $V_{th} < V_{VF6}$ )場合、リーク補償電流より大きいセル電流が流れ、ノードSAの電圧が低下してトランジスタHN1、HN3がオンし、ビット線BL0の容量CBLとノードSAの容量CSA( $< CBL$ )との間で電荷の再分配が起こり、ノードSAの電圧がビット線BL0の電圧( $V_{cc} - V_{th} - V_{th}$ )とほぼ同程度のローレベル(例えば1V程度)となる。このため、制御信号 $\phi_{LAT5}$ 、 $\phi_{LAT1}$ によりトランジスタN31、N21がオンしても、トランジスタN15、N16のゲートがローレベル(例えば、1V)となっているため、トランジスタN15、N16のそれぞれのドレインソース間が高抵抗な状態とされ、ラッチ回路LQ1、LQ2の記憶ノードQ1、Q2を反転させるのに必要な電流を流すことができず、結果として設定状態が保持される。

【0133】以下、同様にして、選択ワード線の電圧 $V_{WL}$ が $V_{VF5}$ に設定され、書き込みデータが「010」に対応するしきい値電圧 $V_{th}$ の判定がなされた場合、一定時間経過後、パルス状の信号である制御信号 $\phi_{LAT8}$ 、 $\phi_{LAT1}$ が順次ハイレベルに設定され、書き込み

データが「010」のメモリセルトランジスタで、そのしきい値電圧 $V_{th}$ が $V_{VF5}$ より大きい( $V_{th} > V_{VF5}$ )場合のみラッチ回路LQ2、LQ1、LQ0のラッチデータが「111」に反転するように制御される。

【0134】選択ワード線の電圧 $V_{WL}$ が $V_{VF4}$ に設定され、書き込みデータが「011」に対応するしきい値電圧 $V_{th}$ の判定がなされた場合、一定時間経過後、パルス状の信号である制御信号 $\phi_{LAT1}$ がハイレベルに設定され、書き込みデータが「011」のメモリセルトランジスタで、そのしきい値電圧 $V_{th}$ が $V_{VF4}$ より大きい( $V_{th} > V_{VF4}$ )場合のみラッチ回路LQ2、LQ1、LQ0のラッチデータが「111」に反転するように制御される。

【0135】選択ワード線の電圧 $V_{WL}$ が $V_{VF3}$ に設定され、書き込みデータが「100」に対応するしきい値電圧 $V_{th}$ の判定がなされた場合、一定時間経過後、パルス状の信号である制御信号 $\phi_{LAT2}$ 、 $\phi_{LAT6}$ が順次ハイレベルに設定され、書き込みデータが「100」のメモリセルトランジスタで、そのしきい値電圧 $V_{th}$ が $V_{VF3}$ より大きい( $V_{th} > V_{VF3}$ )場合のみラッチ回路LQ2、LQ1、LQ0のラッチデータが「111」に反転するように制御される。

【0136】選択ワード線の電圧 $V_{WL}$ が $V_{VF2}$ に設定され、書き込みデータが「101」に対応するしきい値電圧 $V_{th}$ の判定がなされた場合、一定時間経過後、パルス状の信号である制御信号 $\phi_{LAT3}$ がハイレベルに設定され、書き込みデータが「101」のメモリセルトランジスタで、そのしきい値電圧 $V_{th}$ が $V_{VF2}$ より大きい( $V_{th} > V_{VF2}$ )場合のみラッチ回路LQ2、LQ1、LQ0のラッチデータが「111」に反転するように制御される。

【0137】選択ワード線の電圧 $V_{WL}$ が $V_{VF1}$ に設定され、書き込みデータが「110」に対応するしきい値電圧 $V_{th}$ の判定がなされた場合、一定時間経過後、パルス状の信号である制御信号 $\phi_{LAT6}$ がハイレベルに設定され、書き込みデータが「110」のメモリセルトランジスタで、そのしきい値電圧 $V_{th}$ が $V_{VF1}$ より大きい( $V_{th} > V_{VF1}$ )場合のみラッチ回路LQ2、LQ1、LQ0のラッチデータが「111」に反転するように制御される。

【0138】そして、選択ワード線の電圧 $V_{WL}$ が $V_{VF1}$ に設定された状態でのしきい値電圧 $V_{th}$ の判定が完了した段階で、全ラッチデータの反転信号のワイロードORがとられ、1つでも"0"があれば、ワイヤードORの結果はローレベルとなって、再書き込みプロセスに移行し、全てが"1"となっていれば、書き込みが終了する。以上の書き込みおよびベリファイのサイクルは、全てのメモリセルトランジスタが書き込み十分と判定されるか、所定回数に達するまで繰り返される。

【0139】次に、通常読み出し動作について具体的に

説明する。図7に、この一実施形態によるNAND型フラッシュメモリの通常読み出し動作時における各部の信号の状態を示す。なお、ここでは、メモリストリングA0が読み出し対象として選択されているものとする。また、メモリセルトランジスタには、書き込み動作により、しきい値電圧 $V_{th}$ と書き込みデータとが図2に示すような対応関係となるように、書き込みデータに応じて書き込みがなされているものとする。

【0140】通常読み出し動作の前には、制御信号PGMがGNDレベルに設定されてトランジスタN2がオフされ、ビット線BL0、BL1とビット線電圧発生回路2とが切り離されている。また、アドレスデコード信号AiB、AiNおよび制御信号TRNが( $V_{cc}-V_{th}$ )レベルに設定され、制御信号Vrefが $V_{cc}$ レベルに設定されると共に、制御信号DISがハイレベルに設定されてトランジスタN1がオンされ、ビット線BL0、BL1がGNDレベルに設定されている。

【0141】通常読み出し動作が起動されると、その動作に先立ってリセット信号RSTが一定期間ハイレベルに設定され、ラッチ回路LQ2~LQ0に保持されているデータが全てローレベルにリセットされる。通常読み出し動作は、ラッチ回路LQ2~LQ0のリセット完了後、即ち、制御信号DISおよびリセット信号RSTが共にローレベルに切り換えられた後、ドレイン側選択ゲート線DSGおよびソース側選択ゲート線SSGが非選択ワード線の電圧と同じ所定のハイレベルの電圧、例えばP5V(5.0~6.0Vの所定の電圧)に設定され、選択ワード線の電圧VWLを例えばVRD7→VRD5→VRD4→VRD3→VRD2→VRD1の順序で段階的に下げながらなされる。

【0142】また、各ワード線電圧での実際のしきい値電圧 $V_{th}$ の判定の前処理として、さらに制御信号Vrefがローレベルに設定されてトランジスタP1がオンされ、ビット線BL0に対して電源電圧 $V_{cc}$ での充電がなされる。ある程度時間が経過すると、ビット線BL0の電圧が上昇し、トランジスタHN1のゲート-ソース間の電位差が $V_{th}^-$ ( $V_{th}^-$ はトランジスタHN1のしきい値電圧)以下となるときの自動的にトランジスタHN1、HN3がオフする。したがって、ビット線BL0は( $V_{cc}-V_{th}-V_{th}^-$ )レベル(例えば1V程度)に充電され、ノードSAは $V_{cc}$ レベルとなる。

【0143】上述した状態で以て選択ワード線の電圧を所定値とし、セル電流の有無をビット線BL0およびノードSAの電圧に反映させてしきい値電圧 $V_{th}$ の判定がなされる。つまり、所定のメモリセルトランジスタのしきい値電圧 $V_{th}$ 以上の電圧がそのゲートに供給されてセル電流が流れる場合には、ビット線BL0の電圧が低下し、トランジスタHN1、HN3がオンする。したがって、ノードSAの電圧は、ほぼビット線BL0の電圧( $V_{cc}-V_{th}-V_{th}^-$ )とほぼ同程度のローレベル(例

えば1V程度)まで低下する。また、所定のメモリセルトランジスタのしきい値電圧 $V_{th}$ 未満の電圧がそのゲートに供給される場合には、セル電流が流れず、ビット線BL0の電圧が低下することがなく、ノードSAの電圧は、そのまま $V_{cc}$ レベルに保持される。この関係に基づいてしきい値電圧 $V_{th}$ の判定がなされる。

【0144】ビット線BL0の充電が完了すると、制御信号Vrefがビット線BL0のリーク電流を補償するだけの電流をトランジスタP1が流すことが可能な所定レベルの電圧(例えば、2V)に設定される。

【0145】まず、選択ワード線電圧VWLがVRD7に設定された状態でのしきい値電圧 $V_{th}$ の判定がなされる。ここで、メモリセルトランジスタのしきい値電圧 $V_{th}$ がVRD7より大きい( $V_{th}>VRD7$ )場合、セル電流が流れないことにより、ノードSAは $V_{cc}$ レベルに保持される。このとき、トランジスタN15、N16、N17がオンする。

【0146】そして、一定時間経過後、パルス状の信号である制御信号φLAT0、φLAT2、φLAT6が順次ハイレベルに設定される。

【0147】制御信号φLAT0がハイレベルに設定されると、トランジスタN18がオンし、このときトランジスタN15がオンしていることにより、ラッチ回路LQ2の反転記憶ノード/Q2がローレベルに設定されて記憶ノードQ2がローレベルからハイレベルに反転する。このとき、ラッチ回路LQ2の記憶ノードQ2と接続されたトランジスタN22、N32のゲートがハイレベルになる。

【0148】制御信号φLAT2がハイレベルに設定されると、トランジスタN24がオンし、このときトランジスタN23、N22およびトランジスタN16がオンしていることにより、ラッチ回路LQ1の反転記憶ノード/Q1がローレベルに設定されて記憶ノードQ1がローレベルからハイレベルに反転する。このとき、ラッチ回路LQ1の記憶ノードQ1と接続されたトランジスタN33のゲートがハイレベルになる。

【0149】制御信号φLAT6がハイレベルに設定されると、トランジスタN34がオンし、このときトランジスタN33、N32およびトランジスタN17がオンしていることにより、ラッチ回路LQ0の反転記憶ノード/Q0がローレベルに設定されて記憶ノードQ0がローレベルからハイレベルに反転する。

【0150】以上により、メモリセルトランジスタのしきい値電圧 $V_{th}$ がVRD7より大きい( $V_{th}>VRD7$ )場合、ラッチ回路LQ2、LQ1、LQ0のラッチデータが「111」に反転する。

【0151】一方、メモリセルトランジスタのしきい値電圧 $V_{th}$ がVRD7より小さい( $V_{th}<VRD7$ )場合、リーク補償電流より大きいセル電流が流れ、ノードSAの電圧が低下してトランジスタHN1、HN3がオンし、



ビット線BL0の容量CBLとノードSAの容量CSA (< CBL) との間で電荷の再分配が起こり、ノードSAの電圧がビット線BL0の電圧 ( $V_{cc} - V_{th} - V_{th}^*$ ) とほぼ同程度のローレベル (例えば1V程度) となる。このため、制御信号 $\phi_{LAT0}$ 、 $\phi_{LAT2}$ 、 $\phi_{LAT6}$ によりトランジスタN18、N24、N34がオンしても、トランジスタN15、N16、N17のゲートがローレベル (例えば、1V) となっているため、トランジスタN15、N16、N17のそれぞれのドレインソース間が高抵抗な状態とされ、ラッチ回路LQ2~LQ0の記憶ノードQ2~Q0を反転させるのに必要な電流を流すことができず、結果としてリセットのままのローレベルな状態が保持される。

【0152】選択ワード線の電圧VWLがVRD7に設定された状態でのしきい値電圧Vthの判定が完了すると、再度、制御信号Vrefがローレベルに設定されてトランジスタP1がオンされ、ビット線BL0に対して電源電圧Vccでの充電がなされる。ビット線BL0の充電が完了すると、制御信号Vrefが所定レベルの電圧 (例えば、2V) に設定される。

【0153】次に、選択ワード線の電圧VWLがVRD6に設定された状態でのしきい値電圧Vthの判定がなされる。ここで、メモリセルトランジスタのしきい値電圧VthがVRD6より大きい ( $V_{th} > VRD6$ ) 場合、セル電流が流れないことにより、ノードSAはVccレベルに保持される。このとき、トランジスタN15、N16、N17がオンする。

【0154】そして、一定時間経過後、パルス状の信号である制御信号 $\phi_{LAT0}$ 、 $\phi_{LAT2}$ が順次ハイレベルに設定される。

【0155】制御信号 $\phi_{LAT0}$ がハイレベルに設定されると、トランジスタN18がオンし、このときトランジスタN15がオンしていることにより、ラッチ回路LQ2の反転記憶ノード/Q2がローレベルに設定されて記憶ノードQ2がローレベルからハイレベルに反転する。このとき、ラッチ回路LQ2の記憶ノードQ2と接続されたトランジスタN22のゲートがハイレベルになる。

【0156】制御信号 $\phi_{LAT2}$ がハイレベルに設定されると、トランジスタN24がオンし、このときトランジスタN23、N22およびトランジスタN16がオンしていることにより、ラッチ回路LQ1の反転記憶ノード/Q1がローレベルに設定されて記憶ノードQ1がローレベルからハイレベルに反転する。

【0157】以上により、メモリセルトランジスタのしきい値電圧VthがVRD6より大きい ( $V_{th} > VRD6$ ) 場合、ラッチ回路LQ2、LQ1、LQ0のラッチデータが「110」に反転する。

【0158】一方、メモリセルトランジスタのしきい値電圧VthがVRD6より小さい ( $V_{th} < VRD6$ ) 場合、リ

ーク補償電流より大きいセル電流が流れ、ノードSAの電圧が低下してトランジスタHN1、HN3がオンし、ビット線BL0の容量CBLとノードSAの容量CSA (< CBL) との間で電荷の再分配が起こり、ノードSAの電圧がビット線BL0の電圧 ( $V_{cc} - V_{th} - V_{th}^*$ ) とほぼ同程度のローレベル (例えば、1V) となる。このため、制御信号 $\phi_{LAT0}$ 、 $\phi_{LAT2}$ によりトランジスタN18、N24がオンしても、トランジスタN15、N16のゲートがローレベル (例えば、1V) となっているため、トランジスタN15、N16のそれぞれのドレインソース間が高抵抗な状態とされ、ラッチ回路LQ2、LQ1の記憶ノードQ2、Q1を反転させるのに必要な電流を流すことができず、結果としてリセットのままのローレベルな状態が保持される。

【0159】選択ワード線の電圧VWLがVRD6に設定された状態でのしきい値電圧Vthの判定が完了すると、再度、制御信号Vrefがローレベルに設定されてトランジスタP1がオンされ、ビット線BL0に対して電源電圧Vccでの充電がなされる。ビット線BL0の充電が完了すると、制御信号Vrefが所定レベルの電圧 (例えば、2V) に設定される。

【0160】次に、選択ワード線の電圧VWLがVRD5に設定された状態でのしきい値電圧Vthの判定がなされる。ここで、メモリセルトランジスタのしきい値電圧VthがVRD5より大きい ( $V_{th} > VRD5$ ) 場合、セル電流が流れないことにより、ノードSAはVccレベルに保持される。このとき、トランジスタN15、N16、N17がオンする。

【0161】ここで、ラッチデータに関しては、以下の場合が考えられる。

【0162】①  $V_{th} > VRD7$  の場合：ラッチデータは「111」

②  $VRD7 > V_{th} > VRD6$  の場合：ラッチデータは「110」

③  $VRD6 > V_{th} > VRD5$  の場合：ラッチデータは「000」

ここでは、③の場合のみ、ラッチ回路LQ2、LQ0のノードの反転が生じて、読み出しデータが「101」となるようにする必要があり、このとき、①の場合や②の場合に影響がないようにする必要がある。

【0163】すなわち、この場合、一定時間経過後、パルス状の信号である制御信号 $\phi_{LAT0}$ 、 $\phi_{LAT7}$ が順次ハイレベルに設定される。

【0164】制御信号 $\phi_{LAT0}$ がハイレベルに設定されると、トランジスタN18がオンし、このときトランジスタN15がオンしていることにより、ラッチ回路LQ2の反転記憶ノード/Q2がローレベルに設定されて記憶ノードQ2がローレベルからハイレベルに反転する。このとき、ラッチ回路LQ2の記憶ノードQ2と接続されたトランジスタN32のゲートがハイレベルにな

る。また、①、②の場合、元々、ラッチ回路LQ2の記憶ノードQ2はハイレベルに反転しているので、影響はない。

【0165】制御信号 $\phi$ LAT7がハイレベルに設定されると、トランジスタN36がオンし、このとき、③の場合には、トランジスタN35がオンしており、さらに、トランジスタN32およびトランジスタN17がオンしていることにより、ラッチ回路LQ0の反転記憶ノード/Q1がローレベルに設定されて記憶ノードQ0がローレベルからハイレベルに反転する。このとき、①及び②の場合には、トランジスタN35がオフしているため、ラッチデータに変化はない。

【0166】以上により、メモリセルトランジスタのしきい値電圧 $V_{th}$ がVRD5より大きい( $V_{th} > VRD5$ )場合、ラッチ回路LQ2、LQ1、LQ0のラッチデータが「101」に反転する。

【0167】一方、メモリセルトランジスタのしきい値電圧 $V_{th}$ がVRD5より小さい( $V_{th} < VRD5$ )場合、リーク補償電流より大きいセル電流が流れ、ノードSAの電圧が降下してトランジスタHN1、HN3がオンし、ビット線BL0の容量CBLとノードSAの容量CSA( $< CBL$ )との間で電荷の再分配が起こり、ノードSAの電圧がビット線BL0の電圧( $V_{cc} - V_{th} - V_{th}$ )とほぼ同程度のローレベル(例えば、1V)となる。このため、制御信号 $\phi$ LAT0、 $\phi$ LAT7によりトランジスタN18、N36がオンしても、トランジスタN15、N17のゲートがローレベル(例えば、1V)となっているため、トランジスタN15、N17のそれぞれのドレインソース間が高抵抗な状態とされ、ラッチ回路LQ2、LQ0の記憶ノードQ2、Q0を反転させるのに必要な電流を流すことができず、結果としてリセットのままのローレベルな状態が保持される。

【0168】以下、同様にして、選択ワード線の電圧VWLがVRD4に設定された状態でのしきい値電圧 $V_{th}$ の判定がなされた場合、一定時間経過後、パルス状の信号である制御信号 $\phi$ LAT0がハイレベルに設定され、メモリセルトランジスタのしきい値電圧 $V_{th}$ がVRD5 $>V_{th}>VRD4$ の場合のみラッチ回路LQ2、LQ1、LQ0のラッチデータが「100」に反転するように制御される。

【0169】選択ワード線の電圧VWLがVRD3に設定された状態でのしきい値電圧 $V_{th}$ の判定がなされた場合、一定時間経過後、パルス状の信号である制御信号 $\phi$ LAT4、 $\phi$ LAT8が順次ハイレベルに設定され、メモリセルトランジスタのしきい値電圧 $V_{th}$ がVRD4 $>V_{th}>VRD3$ の場合のみラッチ回路LQ2、LQ1、LQ0のラッチデータが「011」に反転するように制御される。

【0170】選択ワード線の電圧VWLがVRD2に設定された状態でのしきい値電圧 $V_{th}$ の判定がなされた場合、

一定時間経過後、パルス状の信号である制御信号 $\phi$ LAT4がハイレベルに設定され、メモリセルトランジスタのしきい値電圧 $V_{th}$ がVRD3 $>V_{th}>VRD2$ の場合のみラッチ回路LQ2、LQ1、LQ0のラッチデータが「010」に反転するように制御される。

【0171】選択ワード線の電圧VWLがVRD1に設定された状態でのしきい値電圧 $V_{th}$ の判定がなされた場合、一定時間経過後、パルス状の信号である制御信号 $\phi$ LAT9がハイレベルに設定され、メモリセルトランジスタのしきい値電圧 $V_{th}$ がVRD2 $>V_{th}>VRD1$ の場合のみラッチ回路LQ2、LQ1、LQ0のラッチデータが「001」に反転するように制御される。

【0172】このようにして通常読み出し動作がなされ、通常読み出し動作完了時には、ラッチ回路LQ2～LQ0の記憶ノードQ2～Q0のそれぞれにメモリセルトランジスタのしきい値電圧 $V_{th}$ に応じた出力が保持される。つまり、しきい値電圧 $V_{th}$ が分布7の場合には(Q2, Q1, Q0) = (1, 1, 1)となり、しきい値電圧 $V_{th}$ が分布6の場合には(Q2, Q1, Q0) = (1, 1, 0)となり、しきい値電圧 $V_{th}$ が分布5の場合には(Q2, Q1, Q0) = (1, 0, 1)となり、しきい値電圧 $V_{th}$ が分布4の場合には(Q2, Q1, Q0) = (1, 0, 0)となり、しきい値電圧 $V_{th}$ が分布3の場合には(Q2, Q1, Q0) = (0, 1, 1)となり、しきい値電圧 $V_{th}$ が分布2の場合には(Q2, Q1, Q0) = (0, 1, 0)となり、しきい値電圧 $V_{th}$ が分布1の場合には(Q2, Q1, Q0) = (0, 0, 1)となり、しきい値電圧 $V_{th}$ が分布0の場合には(Q2, Q1, Q0) = (0, 0, 0)となる。そして、これらの反転出力が読み出しデータとして取り出される。

【0173】上述のように構成されたこの一実施形態によれば、書き込み動作時に、実効的なワード線電圧の印加時間を書き込みデータに応じて制御するようにしていることにより、次のような利点を得ることができる。

【0174】すなわち、この一実施形態においては、多値並列書き込みを行う場合に、書き込みデータに応じて設定されるビット線電圧が、書き込みデータが「00x」(x: 0または1)の場合、0V、書き込みデータが「01x」(x: 0または1)の場合、1.2V、書き込みデータが「10x」(x: 0または1)の場合、1.5V、書き込みデータが「110」の場合、1.5V、書き込みデータが「111」の場合、 $V_{cc}$ となっている(図2(b)参照)。これと共に、書き込みデータに応じて設定される実質的なワード線電圧の印加時間が、書き込みデータが「0xx」(x: 0または1)の場合、20 $\mu$ s、書き込みデータが「10x」(x: 0または1)の場合、10 $\mu$ s、書き込みデータが「110」の場合、2 $\mu$ s、書き込みデータが「111」の場合、0 $\mu$ sとなっている(図2(c)参照)。

【0175】この場合、書き込みデータが「110」お



よび「10x」(x:0または1)のメモリセルトランジスタにおいては、実効的なワード線電圧のパルス幅(実質的なデータの書き込み時間)が、実際にワード線にワード線電圧が印加されている時間より短くされている。したがって、これらの書き込みデータが「110」および「10x」(x:0または1)のメモリセルトランジスタにおいては、しきい値電圧のシフトが遅くなり、実質的にビット線電圧が実際の電圧より高い状態で書き込みを行うのと等価となる。

【0176】具体的には、書き込みデータに応じて設定されるビット線電圧および実質的なワード線電圧のパルス幅が、それぞれ、図2(b)および図2(c)のように設定されている場合、実質的なビット線電圧(換算ビット線電圧)は、全てのデータの書き込み時間を20μsとした場合に換算すると、図2(d)に示すようになり、理想的なビット線電圧と換算ビット線電圧との差は、図2(e)に示すようになる。

【0177】図2(e)より、この一実施形態においては、書き込みデータが「101」の場合に、理想的なビット線電圧と換算ビット線電圧との差が最大となり、そ

$$N_p = 1 + (\Delta V_{th0} + \delta V_{pp} + \delta V_{ch} + \delta V_{BL}) / \Delta V_{pp} \quad (1)$$

$$T_p = N_p \times (T_{pulse} + 7 \times T_{vfy}) \quad (2)$$

のように定義される。ここで、

$\Delta V_{th0}$  : 1回目の書き込みサイクル後の、書き込み速度の最も速いメモリセルと最も遅いメモリセルとのしきい値電圧の差

$\delta V_{pp}$  : 書き込み時の書き込み電圧VPGMのバラツキ(昇圧回路の変動)

$\delta V_{ch}$  : ビット線電圧の設定電圧のバラツキ

$\delta V_{BL}$  : 本来印加したいビット線電圧と実際に(または実質的に)印加されるビット線電圧との差の最大値

$\Delta V_{pp}$  : ISPPを用いた場合のワード線電圧のステップ幅

$$N_p = 1 + \{2.0 + 0.5 + 0.1 + (3.6 - 1.5)\} / 0.15 \\ = 33 \text{ (回)}$$

$$T_p = 33 \times (20 + 7 \times 2) \\ = 1122 \text{ (}\mu\text{s)}$$

となる。

【0180】これに対して、本発明が適用されたこの一

$$N_p = 1 + (2.0 + 0.5 + 0.1 + 0.8) / 0.15 \\ = 24 \text{ (回)}$$

$$T_p = 24 \times (20 + 7 \times 2) \\ = 816 \text{ (}\mu\text{s)}$$

となる。

【0181】このように、この一実施形態によれば、書き込み回数が大幅に削減されるので、書き込み時間を短縮することができる。

【0182】以上この発明の実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変

の値は0.8Vであることがわかる。この場合、書き込み開始時のワード線電圧は、この書き込みデータが「101」のメモリセルのうち書き込み速度が最も速いメモリセルが1回目の書き込みサイクルで丁度書き込みレベルに達するような電圧に設定すればよく、理想的な電圧より0.8Vだけ低い電圧に設定すればよい。これに対して、書き込みデータに応じて実質的なワード線電圧のパルス幅を制御するようなことを行わなかった場合(全てのデータの書き込み時間を同一(例えば20μs)に設定した場合)、理想的なビット線電圧と実際のビット線電圧との差は、書き込みデータが「110」の場合に最大となり、その値は2.1Vであった。したがって、この一実施形態によれば、理想的なビット線電圧と換算ビット線電圧との差の最大値が0.8Vまで低減されていることにより、書き込み開始時のワード線電圧を高い電圧に設定することが可能である。

【0178】ここで、全ての書き込みデータの書き込みが書き込み十分と判定されるまでの最大書き込み回数 $N_p$ および最大書き込み時間 $T_p$ は、8値型のNAND型フラッシュメモリの場合、

$T_{pulse}$  : 1回の書き込み時間(ワード線電圧のパルス幅)

$T_{vfy}$  : 1レベルのベリファイ時間である。

【0179】(1)、(2)式において、本発明が適用される以前の条件、例えば $\Delta V_{th0} = 2.0V$ 、 $\delta V_{pp} = 0.5V$ 、 $\delta V_{ch} = 0.1V$ 、 $\delta V_{BL} = 3.6 - 1.5 = 2.1V$ 、 $\Delta V_{pp} = 0.15V$ 、 $T_{pulse} = 20\mu s$ 、 $T_{vfy} = 2\mu s$ を代入して、ISPPを用いた場合の最大書き込み回数 $N_p$ および最大書き込み時間 $T_p$ を求めると、

実施形態の場合、 $\delta V_{BL} = 0.8V$ となり、最大書き込み回数 $N_p$ および最大書き込み時間 $T_p$ は、

形が可能である。例えば、上述の一実施形態において挙げた数値、具体的には、書き込みデータに応じて設定される実効的なワード線電圧のパルス幅の値やビット線電圧の値などは一例に過ぎず、これに限定されるものではない。

【0183】また、上述の一実施形態におけるメモリセルアレイ1、ビット線電圧発生回路2、読み出し/ベリ

ファイ制御回路3等の構成は一例に過ぎず、例示したものとは異なる回路構成であってもよい。

【0184】また、上述の一実施形態においては、この発明を1個のメモリセルトランジスタに対して3ビットからなり8値をとるデータを記憶するNAND型フラッシュメモリに適用した場合について説明したが、この発明は、1個のメモリセルトランジスタに対して2ビットからなり4値をとるデータを記憶するNAND型フラッシュメモリに適用することも可能である。

【0185】

【発明の効果】以上、この発明による不揮発性半導体記憶装置およびそのデータ書き込み方法によれば、書き込み動作時に、ワード線にパルス状のワード線電圧を印加してメモリセルにデータの書き込みを行い、この際、書き込み対象のメモリセルに実質的にデータの書き込みがなされる時間に対応する実効的なワード線電圧のパルス幅を書き込みデータに応じて制御するようにしていることにより、書き込み開始時のワード線電圧を高く設定することができる。これにより、ビット線電圧を書き込みデータに応じて変えて多値並列書き込みを行う場合に、書き込み回数を削減することができ、トータルの書き込み時間を短縮することができる。

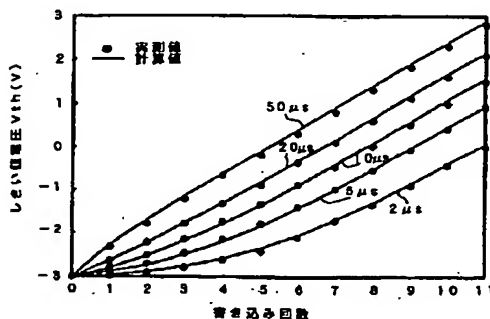
【図面の簡単な説明】

【図1】NAND型フラッシュメモリにおいてISPPを用いて書き込みを行った場合の、メモリセルのしきい値電圧の変化のワード線電圧のパルス幅依存性を示すグラフである。

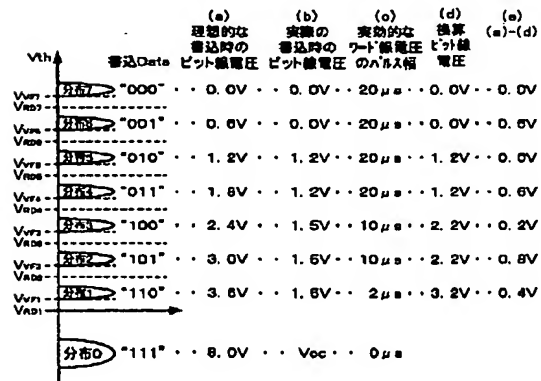
【図2】この発明の原理を説明するための略線図である。

【図3】この発明の一実施形態による8値型のNAND型フラッシュメモリの主要部の構成を示す回路図である。

【図1】



【図2】



【図4】この発明の一実施形態による8値型のNAND型フラッシュメモリのメモリセルアレイの等価回路図である。

【図5】この発明の一実施形態による8値型のNAND型フラッシュメモリの書き込み動作を説明するためのタイミングチャートである。

【図6】この発明の一実施形態による8値型のNAND型フラッシュメモリのベリファイ動作を説明するためのタイミングチャートである。

【図7】この発明の一実施形態による8値型のNAND型フラッシュメモリの通常読み出し動作を説明するためのタイミングチャートである。

【図8】1個のメモリセルトランジスタに3ビットからなり8値をとるデータを記憶する場合のデータ内容としきい値電圧との対応関係ならびに書き込み時の理想的なビット線電圧および実際のビット線電圧の印加例を説明するための略線図である。

【図9】セルフブーストを用いた書き込み動作を説明するための等価回路図である。

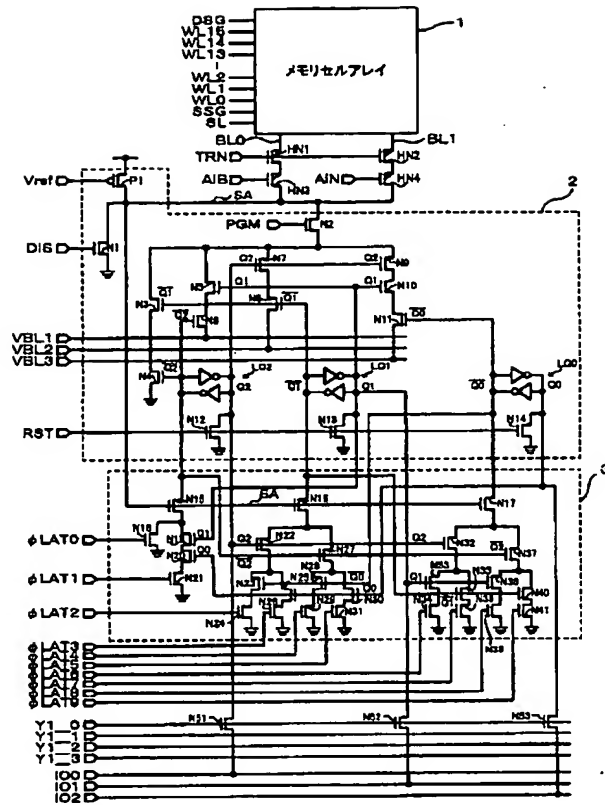
【図10】この発明が適用される以前の8値型のNAND型フラッシュメモリの主要部分の構成を示す回路図である。

【図11】この発明が適用される以前の8値型のNAND型フラッシュメモリの書き込み動作を説明するためのタイミングチャートである。

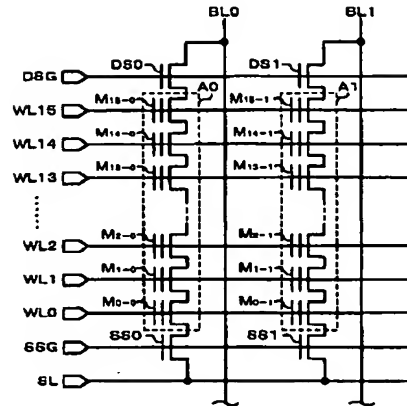
【符号の説明】

1・・・メモリセルアレイ、2・・・ビット線電圧発生回路、3・・・読み出し／ベリファイ制御回路、A0、A1・・・メモリストリング、WL0～WL15・・・ワード線、BL0、BL1・・・ビット線、LQ0～LQ2・・・ラッチ回路、VBL1～VBL3・・・ビット線電圧供給ライン

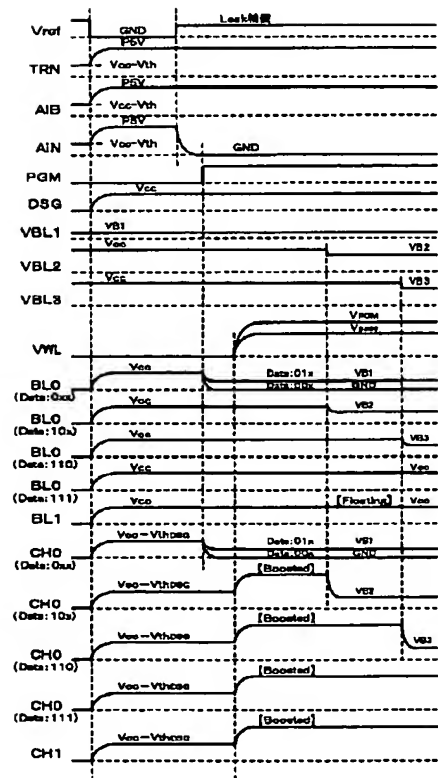
【図3】



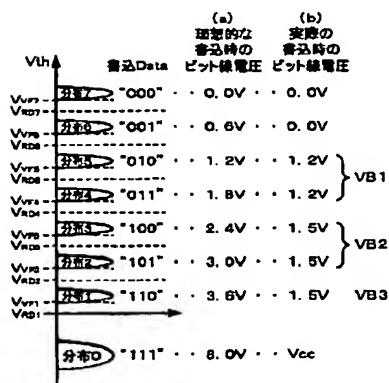
【図4】



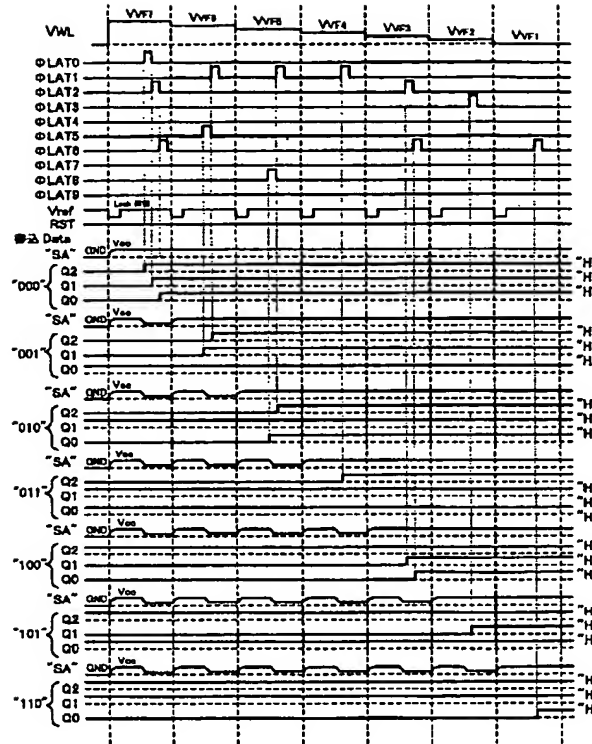
【図5】



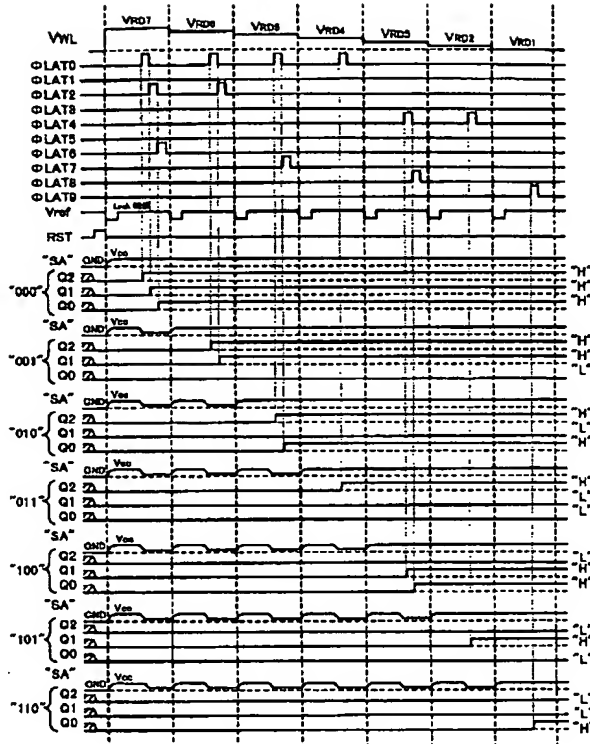
【図8】



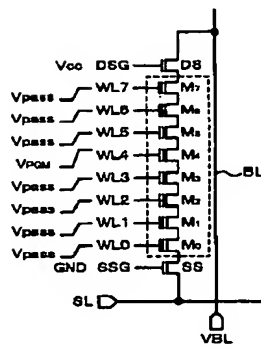
【図6】



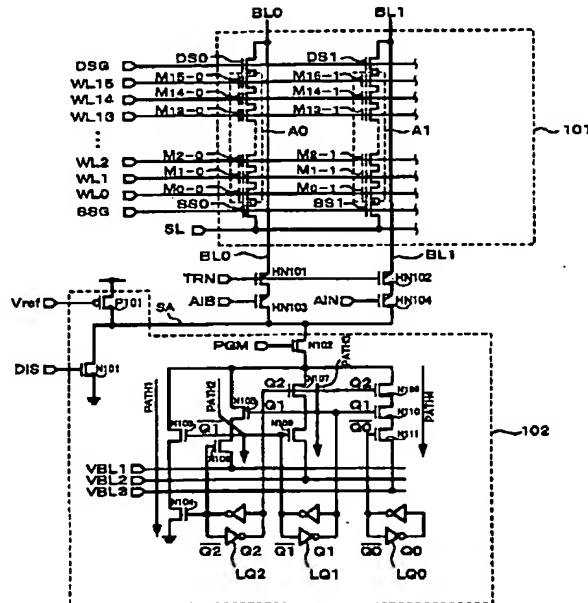
【図7】



【図9】



【図10】



【図11】

